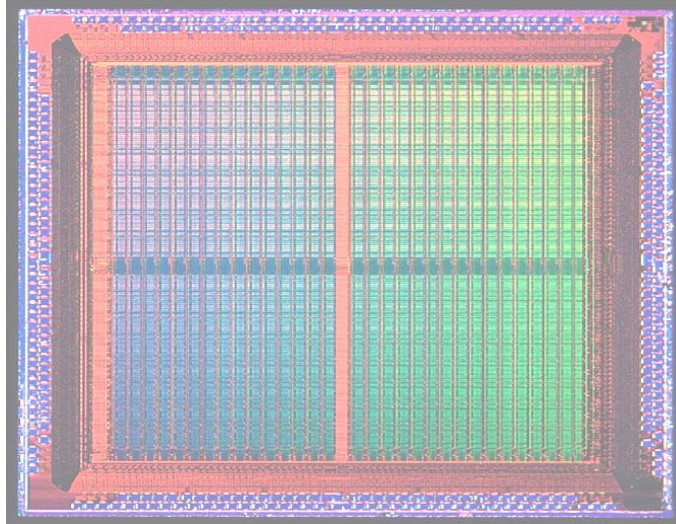




ΑΛΕΞΑΝΔΡΕΙΟ ΤΕΧΝΟΛΟΓΙΚΟ ΕΚΠΑΙΔΕΥΤΙΚΟ ΙΔΡΥΜΑ ΘΕΣΣΑΛΟΝΙΚΗΣ
ΣΧΟΛΗ ΤΕΧΝΟΛΟΓΙΚΩΝ ΕΦΑΡΜΟΓΩΝ
ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΗΣ



ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ

Αναπτυξιακή πλακέτα για FPGA/CPLD με σκοπό τη
δημιουργία ασκήσεων προγραμματισμού του
εξαρτήματος.

Γαβριηλίδης Μ. Δημήτριος
ΚΑΣ: 596007

Επιβλέπων: Χρήστος Τζίκας
Καθηγητής Εφαρμογών

05128ΥΜ

ΘΕΣΣΑΛΟΝΙΚΗ 2007

.....
Δημήτριος Μ. Γαβριηλίδης
Τελεióφοιτος Ηλεκτρονικός Μηχανικός Τ.Ε.
Τμήματος Ηλεκτρονικής
Α.Τ.Ε.Ι. Θεσσαλονίκης

Copyright © Δημήτριος Μ. Γαβριηλίδης, 2007.
Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Α.Τ.Ε.Ι. Θεσσαλονίκης.

Επιβλέπων Καθηγητής

Χρήστος Β. Τζίκας

Καθηγητής Εφαρμογών

Υπεύθυνος των εργαστηριακών μαθημάτων Ψηφιακά Κυκλώματα I & II

Email: tzikas@el.teithe.gr

Τηλ.: 2310 791627

Εξεταζόμενος Φοιτητής

Δημήτριος Μ. Γαβριηλίδης

ΚΑΣ: 596007

Email: dimigav@gmail.com

Τηλ.: 2310 206782

Ημερομηνίες

Ημερομηνία Ανάληψης: 17-19/10/2006

Ημερομηνία Περάτωσης: 08/10/2007

Περίληψη

Η παρούσα εργασία ασχολείται με τις τεχνολογίες των **CPLDs** (*Complex Programmable Logic Devices*) και των **FPGAs** (*Field Programmable Gate Arrays*), και παραθέτει τις βασικές διαφορές τους. Επιπλέον, αναλύει τη λειτουργία μίας κατασκευής, η οποία βασίστηκε στις εν λόγω τεχνολογίες.

Στο πρώτο μέρος γίνεται μια θεωρητική προσέγγιση των τεχνολογιών αυτών, για να γίνει κατανοητός ο τρόπος με τον οποίο λειτουργούν οι συσκευές αυτές, ώστε να αναλυθεί το περιεχόμενό τους και να γίνει εφικτή η πλήρης εκμετάλλευση των δυνατοτήτων τους. Αρχικά, γίνεται ιστορική αναδρομή της τεχνολογίας των ολοκληρωμένων κυκλωμάτων προγραμματιζόμενης λογικής και στη συνέχεια περιγράφονται τα βασικά χαρακτηριστικά των **CPLDs** και των **FPGAs** που αφορούν την παρούσα εργασία. Στο δεύτερο μέρος γίνεται λεπτομερής περιγραφή των κυκλωμάτων που τροφοδοτούν την κατασκευή, του κυκλώματος που αναλαμβάνει τη διασύνδεση της με τον Η/Υ, ο οποίος χρησιμοποιείται για να προγραμματιστεί η συσκευή (CPLD ή FPGA) της κατασκευής, το κύκλωμα που θα δίνει παλμούς ρολογιού στη συσκευή και φυσικά τα περιφερειακά. Περιγράφεται αναλυτικά το τροφοδοτικό της κατασκευής το οποίο παράγει τις τάσεις τροφοδοσίας του **CPLD/FPGA** με παλμοτροφοδοτικά της Texas Instruments. Επίσης, αναλύεται το κύκλωμα που αναλαμβάνει τη διασύνδεση με τον Η/Υ ώστε μέσω της παράλληλης θύρας του (LPT) να προγραμματιστεί η συσκευή. Εξηγείται, επίσης, το κύκλωμα χρονισμού. Στο τρίτο και τελευταίο μέρος του βιβλίου γίνεται αναφορά σε μελλοντικές επεκτάσεις και προσθήκες που μπορούν γίνουν στις κατασκευές και διάφορες μετρήσεις που λήφθηκαν κατά τη διάρκεια της λειτουργίας τους.

Summary

This project describes **CPLDs** (*Complex Programmable Logic Devices*) and **FPGAs** (*Field Programmable Gate Arrays*) technologies and points out the basic differences between them. Furthermore analyzes the function of a board based on the above mentioned technologies.

The first part of the project approaches theoretically these technologies, aiming to the comprehension of the function of such devices and to the analysis of their content, so that the user can take full advantage of their capabilities. Initially, there is a historical retrospection of programmable logic integrated circuits technology and are being described the basic characteristics of **CPLDs** and **FPGAs**. In the second part, there is a full description of the power supply given to the board of the circuit that undertake the connection to the PC, which is being used to program the device (CPLD or FPGA), the circuit which gives the clock pulses to the device and the peripherals. Additionally, there is a description of the power supply of the board which produces the voltage of **CPLD/FPGA** with Texas instruments power supply. There is also an analysis of the circuit which takes on the connection to the PC, so that the device is being programmed through the parallel port of (LPT). It is being explained the clocking circuit as well. Finally there are some proposals which concern future additions to the devices and several measures taken during their function.

ΕΥΡΕΤΗΡΙΟ ΠΕΡΙΕΧΟΜΕΝΩΝ	1
ΕΥΡΕΤΗΡΙΟ ΣΧΗΜΑΤΩΝ	3
ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ	5
ΕΥΧΑΡΙΣΤΙΕΣ	7
ΕΙΣΑΓΩΓΗ	9
ΜΕΡΟΣ Α	
A.1 ΤΕΧΝΟΛΟΓΙΕΣ	13
A.1.1 Ιστορική αναδρομή	15
A.1.2 Περιγραφή των CPLDs	18
A.1.3 Περιγραφή των FPGAs	28
ΜΕΡΟΣ Β	
B.1 ΛΕΙΤΟΥΡΓΙΚΑ ΜΕΡΗ ΤΗΣ ΚΑΤΑΣΚΕΥΗΣ ΓΙΑ CPLD	53
B.1.1 Τροφοδοσία	55
B.1.2 Προγραμματισμός	56
B.1.3 Ρολόι	58
B.2 ΠΕΡΙΦΕΡΕΙΑΚΑ ΤΗΣ ΚΑΤΑΣΚΕΥΗΣ ΓΙΑ CPLD	59
B.2.1 Ενδείκτες 7 τομέων	61
B.2.2 Ενδείκτες LED	63
B.2.3 Μικροδιακόπτες	64
B.2.4 Πιεστικοί διακόπτες	65
B.3 ΛΕΙΤΟΥΡΓΙΚΑ ΜΕΡΗ ΤΗΣ ΚΑΤΑΣΚΕΥΗΣ ΓΙΑ FPGA	67
B.3.1 Τροφοδοσία	69
B.3.2 Προγραμματισμός	71
B.3.3 Ρολόι	73
B.4 ΠΕΡΙΦΕΡΕΙΑΚΑ ΤΗΣ ΚΑΤΑΣΚΕΥΗΣ ΓΙΑ FPGA	75
B.4.1 Αναλογικές – Ψηφιακές Είσοδοι – Έξοδοι	77
B.4.2 Ενδείκτες 7 τομέων	79
B.4.3 Ενδείκτες LED	81
B.4.4 Οθόνη LCD 2 γραμμών, 16 χαρακτήρων	82
B.4.5 Μικροδιακόπτες	83
B.4.6 Πιεστικοί διακόπτες	84
B.4.7 Διασύνδεση PS/2	85
B.4.8 Διασύνδεση RS-232	89
B.4.9 Έξοδος VGA	90
B.4.10 Επεκτάσεις	94
ΜΕΡΟΣ Γ	
Γ.1.1 Επεκτάσεις	97
Γ.1.1 Μετρήσεις	98
ΠΑΡΑΡΤΗΜΑ	99
Ηλεκτρονικά Σχέδια Κατασκευής	101
ΒΙΒΛΙΟΓΡΑΦΙΑ	107

A.1		
Σχήμα A.1.1.1	Δομή PROM	17
Σχήμα A.1.1.2	Δομή PLA	18
Σχήμα A.1.1.3	Δομή PAL	19
Σχήμα A.1.2.1	Αρχιτεκτονική συσκευής σειράς XC9500	20
Σχήμα A.1.2.2	Function Block από XC9536	21
Σχήμα A.1.2.3	Δομή ενός macrocell μαζί με το Function Block	22
Σχήμα A.1.2.4	Λειτουργία clock και set/reset του Macrocell	23
Σχήμα A.1.2.5	Λογικό διάγραμμα Macrocell με χρήση απευθείας όρων γινομένου	23
Σχήμα A.1.2.6	Κατανομή Όρων Γινομένων με 15 Όρους Γινομένου	24
Σχήμα A.1.2.7	Κατανομή Όρων Γινομένου κατά Μήκος Μερικών Macrocells	25
Σχήμα A.1.2.8	Το λογικό διάγραμμα του Κατανεμητή Όρων Γινομένου	26
Σχήμα A.1.2.9	Το Fast CONNECT Switch Matrix	27
Σχήμα A.1.2.10	Τα I/O Block και η δυνατότητα για Output Enable	28
Σχήμα A.1.2.11(α)	Ρυθμός σάρωσης για ανοδική έξοδο	28
Σχήμα A.1.2.11(β)	Ρυθμός σάρωσης για καθοδική έξοδο	28
Σχήμα A.1.2.12(α)	Συσκευή XC9500. Σύστημα 5V	29
Σχήμα A.1.2.12(β)	Συσκευή XC9500. Μικτό σύστημα 5V/3.3V	29
Σχήμα A.1.3.1	Η αρχιτεκτονική της οικογένειας Spartan-3E	32
Σχήμα A.1.3.2	Απλοποιημένο διάγραμμα IOB	35
Σχήμα A.1.3.3	Προγραμματιζόμενα σταθερά στοιχεία καθυστέρησης εισόδου	36
Σχήμα A.1.3.4	Δυο μέθοδοι χρονισμού του καταχωρητή DDR	39
Σχήμα A.1.3.5	Είσοδος DDR (χωρίς δυνατότητα Αλυσίδας σε Σειρά)	40
Σχήμα A.1.3.6	Είσοδος DDR χρησιμοποιώντας τη Δυνατότητα των Spartan-3E για Αλυσίδα σε Σειρά	40
Σχήμα A.1.3.7	Έξοδος DDR	41
Σχήμα A.1.3.8	Διαφορικές Είσοδοι και έξοδοι	43
Σχήμα A.1.3.9	Κύκλωμα συγκράτησης	44
Σχήμα A.1.3.10	Ζώνες σε Spartan-3E I/O (επάνω όψη)	45
Σχήμα A.1.3.11	Τοποθεσίες των CLB	46
Σχήμα A.1.3.12	Πόροι μέσα στα Slices	47
Σχήμα A.1.3.13	Ταξινόμηση των Slices μέσα στο CLB	47
Σχήμα A.1.3.14	Μονοπάτια δεδομένων της Block RAM	48
Σχήμα A.1.3.15	Εσωτερικές συνδέσεις του δικτύου του Clock	49
Σχήμα A.1.3.16	Λειτουργικές ομάδες του DCM και συνεργαζόμενα σήματα	50
Σχήμα A.1.3.17	Τέσσερις τύποι δρομολόγησης	51
Σχήμα A.1.3.18	Πλακίδια διασύνδεσης	51
Σχήμα A.1.3.19	Τύποι διασύνδεσης μεταξύ δυο πλακιδίων Διασύνδεσης	52

B.1		
Σχήμα B.1.1.1	Τροφοδοτικό της αναπτυξιακής πλακέτας για CPLD	55
Σχήμα B.1.2.1	Σχηματικό διάγραμμα κυκλώματος JTAG	56
Σχήμα B.1.3.1	Κύκλωμα παραγωγής παλμών για οδήγηση του GCK του CPLD	58
B.2		
Σχήμα B.2.1.1	Σχηματικό διάγραμμα για τους ενδείκτες 7 τομέων	62
Σχήμα B.2.2.1	Κύκλωμα με LED	63
Σχήμα B.2.3.1	Κύκλωμα μικροδιακοπών	64
Σχήμα B.2.4.1	Κύκλωμα πιεστικών διακοπών (push buttons)	65
B.3		
Σχήμα B.3.1.1	Κύκλωμα τροφοδοσίας 3.3V	69
Σχήμα B.3.1.2	Κύκλωμα τροφοδοσίας 2.5V	69
Σχήμα B.3.1.3	Κύκλωμα τροφοδοσίας 1.2V	69
Σχήμα B.3.1.4	Ένδειξη για τα (α) 3.3V, (β) 2.5V και (γ) 1.2V	70
Σχήμα B.3.2.1	Σχηματικό διάγραμμα διασύνδεσης JTAG πρωτοκόλλου	71
Σχήμα B.3.2.2	Ένδειξη προγραμματισμού	71
Σχήμα B.3.2.3	Κύκλωμα μνήμης PROM	72
Σχήμα B.3.2.4	Διακόπτης προγραμματισμού	72
Σχήμα B.3.2.5	Διακόπτης για reset	72
Σχήμα B.3.3.1	Κύκλωμα χρονισμού του FPGA	73
B.4		
Σχήμα B.4.1.1	Σήματα εξόδου από τον PCF8574	77
Σχήμα B.4.1.2	Σήματα εξόδου από τον PCF8574 στο FPGA	78
Σχήμα B.4.1.3	Σχηματικό διάγραμμα αναλογικών και ψηφιακών εισόδων-εξόδων	78
Σχήμα B.4.2.1	Κύκλωμα ενδεικτών LED 7-τομέων	79
Σχήμα B.4.2.2	Παράδειγμα χρήσης των ενδεικτών 7-τομέων	79
Σχήμα B.4.2.3	Παλμοί ελέγχου για όλα τα σήματα των ενδεικτών	80
Σχήμα B.4.3.1	Σχηματικό διάγραμμα ενδεικτών LED	81
Σχήμα B.4.4.1	Κύκλωμα οδήγησης οθόνης LCD 2x16 με backlight	82
Σχήμα B.4.4.2	Κυματομορφές εισόδων/εξόδων του 74TVC3010	82
Σχήμα B.4.5.1	Κύκλωμα μικροδιακοπών (dip-switch)	83
Σχήμα B.4.6.1	Σχηματικό διάγραμμα πιεστικών διακοπών (button)	84
Σχήμα B.4.7.1	Κύκλωμα PS/2 για ποντίκι και πληκτρολόγιο	85
Σχήμα B.4.7.2	Κυματομορφές χρονισμού του PS/2	86
Σχήμα B.4.7.3	Κωδικοί σάρωσης πλήκτρων	86
Σχήμα B.4.7.4	Συναλλαγή ενός PS/2 ποντικιού	87
Σχήμα B.4.7.5	Σύστημα συντεταγμένων για καθορισμό της κίνησης του ποντικιού	88
Σχήμα B.4.8.1	Κύκλωμα σειριακών πορτών RS-232	89
Σχήμα B.4.9.1	Κύκλωμα οδήγησης VGA οθόνης	90
Σχήμα B.4.9.2	Παράδειγμα χρονισμού οθόνης CRT	92
Σχήμα B.4.9.3	Σχέση συμβόλων χρονισμού	93

A.1		
Πίνακας A.1.1.1	Πίνακας Αλήθειας μνήμης PROM	15
Πίνακας A.1.3.1	Σύνοψη των χαρακτηριστικών των Spartan-3E FPGA	28
Πίνακας A.1.3.2	Διαθέσιμα User I/Os και διαφορικά ζεύγη (Differential Pair I/Os)	31
Πίνακας A.1.3.3	Περιγραφή Σημάτων Αποθηκευτικών Στοιχείων	35
Πίνακας A.1.3.4	Επιλογές Αποθηκευτικών Στοιχείων	36
Πίνακας A.1.3.5	Συμβατότητα απλής IOSTANDARD ζώνης	39
Πίνακας A.1.3.6	Συμβατότητα διαφορικής IOSTANDARD ζώνης	40
Πίνακας A.1.3.7	Προγραμματιζόμενη Οδήγηση Ρεύματος Εξόδου	42
B.1		
Πίνακας B.1.2.1	Σήματα του πρωτοκόλλου JTAG	57
B.2		
Πίνακας B.2.1.1	Αντιστοιχία Pin εξόδου του CPLD με pin των ενδεικτών 7 τομέων	61
Πίνακας B.2.2.1	Αντιστοιχία των pin του CPLD με τα LED	63
Πίνακας B.2.3.1	Αντιστοιχία των μικροδιακοπών με τα pins του CPLD	64
Πίνακας B.2.4.1	Αντιστοιχία push button με pins του CPLD	65
B.4		
Πίνακας B.4.1.1	Αντιστοιχία σημάτων του I ² C με τα pin του FPGA	78
Πίνακας B.4.2.1	Συνδέσεις των κοινών pins των τομέων με τα pins του FPGA	79
Πίνακας B.4.2.2	Συνδέσεις των κοινών ανόδων των ενδεικτών με τα pins του FPGA	80
Πίνακας B.4.2.3	Έτοιμες ψηφιακές λέξεις για συγκεκριμένους χαρακτήρες	80
Πίνακας B.4.3.1	Αντιστοιχία ενδεικτών LED με pin του FPGA	81
Πίνακας B.4.4.1	Αντιστοιχία σημάτων οθόνης LCD με pins του FPGA	82
Πίνακας B.4.5.1	Αντιστοιχία διακοπών με pin του FPGA	83
Πίνακας B.4.6.1	Αντιστοιχία πιεστικών διακοπών με pins του FPGA	84
Πίνακας B.4.7.1	Αντιστοιχία σημάτων KBD/MOUSE με pin του FPGA	85
Πίνακας B.4.7.2	Χρονισμοί του Bus του PS/2	86
Πίνακας B.4.7.3	Συχνές εντολές PS/2 πληκτρολογίου	87
Πίνακας B.4.8.1	Αντιστοιχία των σημάτων του RS-232 με pins του FPGA	89
Πίνακας B.4.9.1	Παραγόμενα χρώματα	91
Πίνακας B.4.9.2	Χρόνοι σημάτων video	93
Πίνακας B.4.9.3	Αντιστοιχία σημάτων VGA με pins του FPGA	94

Ευχαριστώ τον κ. Τζίκα Χρήστο, καθηγητή εφαρμογών στο Τμήμα Ηλεκτρονικής του Α.Τ.Ε.Ι. Θεσσαλονίκης, για τη πολύτιμη καθοδήγηση και την ουσιαστική βοήθεια καθόλη τη διάρκεια της εκπόνησης αυτής της εργασίας.

Επίσης, θα ήθελα να ευχαριστήσω τους Σιδηρόπουλο Γεώργιο (MsC, PhD) και τον Βηχούδη Πασχάλη (MsC, PhD).

ΕΥΧΑΡΙΣΤΙΕΣ

Η παρούσα εργασία ασχολείται με τις τεχνολογίες των **CPLDs** (*Complex Programmable Logic Devices*) και των **FPGAs** (*Field Programmable Gate Arrays*), και παραθέτει τις βασικές διαφορές τους. Επιπλέον, αναλύει τη λειτουργία μίας κατασκευής, η οποία βασίστηκε στις εν λόγω τεχνολογίες.

Στο πρώτο μέρος γίνεται μια θεωρητική προσέγγιση των τεχνολογιών αυτών, για να γίνει κατανοητός ο τρόπος με τον οποίο λειτουργούν οι συσκευές αυτές, ώστε να αναλυθεί το περιεχόμενό τους και να γίνει εφικτή η πλήρης εκμετάλλευση των δυνατοτήτων τους.

Αρχικά, γίνεται ιστορική αναδρομή της τεχνολογίας των ολοκληρωμένων κυκλωμάτων προγραμματιζόμενης λογικής και στην συνέχεια περιγράφονται τα βασικά χαρακτηριστικά των **CPLDs** και των **FPGAs** που αφορούν την παρούσα εργασία. Στο τέλος του πρώτου μέρους σημειώνονται και οι βασικές διαφορές των δυο αυτών κατηγοριών ολοκληρωμένων κυκλωμάτων προγραμματιζόμενης λογικής.

Στο δεύτερο μέρος γίνεται λεπτομερής περιγραφή των κυκλωμάτων που τροφοδοτούν την κατασκευή, του κυκλώματος που αναλαμβάνει τη διασύνδεση της με τον Η/Υ, ο οποίος χρησιμοποιείται για προγραμματιστεί η συσκευή (CPLD ή FPGA) της κατασκευής, το κύκλωμα που θα δίνει παλμούς ρολογιού στη συσκευή και φυσικά τα περιφερειακά.

Περιγράφεται αναλυτικά το τροφοδοτικό της κατασκευής το οποίο παράγει τις τάσεις τροφοδοσίας του **CPLD/FPGA** με παλμοτροφοδοτικά της Texas Instruments. Επίσης, αναλύεται το κύκλωμα που αναλαμβάνει τη διασύνδεση με τον Η/Υ ώστε μέσω της παράλληλης θύρας του (LPT) να προγραμματιστεί η συσκευή. Εξηγείται, επίσης το κύκλωμα χρονισμού.

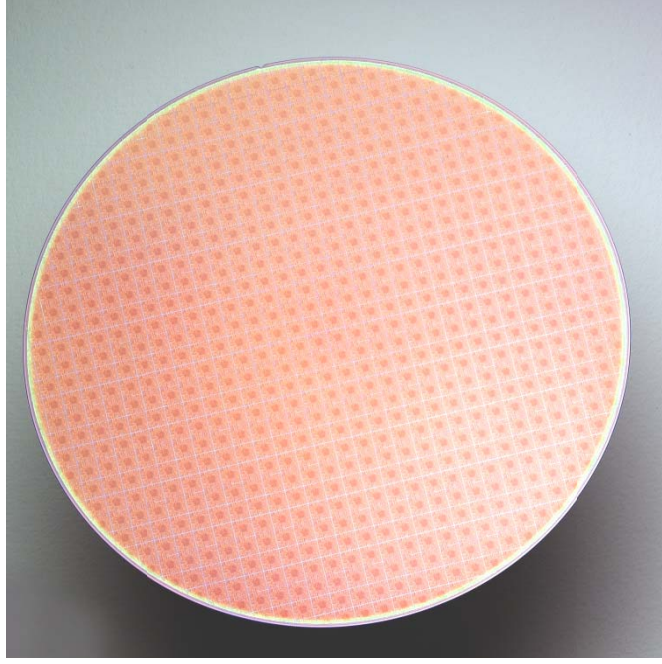
Στη συνέχεια περιγράφονται αναλυτικά τα περιφερειακά της κατασκευής – μικροδιακόπτες, πιεστικοί διακόπτες, οθόνη LCD, LEDs, ενδείκτες 7 τομέων κ.α. – τα οποία θα χρησιμοποιούνται από τους χρήστες της κατασκευής ως μέσα εισόδου και εξόδου δεδομένων.

Στο τρίτο και τελευταίο μέρος του βιβλίου γίνεται αναφορά στο λογισμικό που θα χρησιμοποιηθεί, ώστε να υλοποιηθούν εφαρμογές που θα μπορούσαν να λειτουργήσουν σε συνεργασία με την κατασκευή, είτε σε γλώσσα **HDL**, είτε σε σχηματική μορφή (schematic). Το λογισμικό αυτό διανέμεται από την εταιρία **Xilinx** μέσω του διαδικτύου, όπου υπάρχει η απλή έκδοση (web rack) δωρεάν, ή διάφορες άλλες επαγγελματικές εκδόσεις με πληρωμή.

Παρατίθενται επίσης μέθοδοι προγραμματισμού της συσκευής **CPLD/FPGA** καθώς και η συνδεσμολογία που απαιτείται ώστε να είναι αυτό εφικτό.

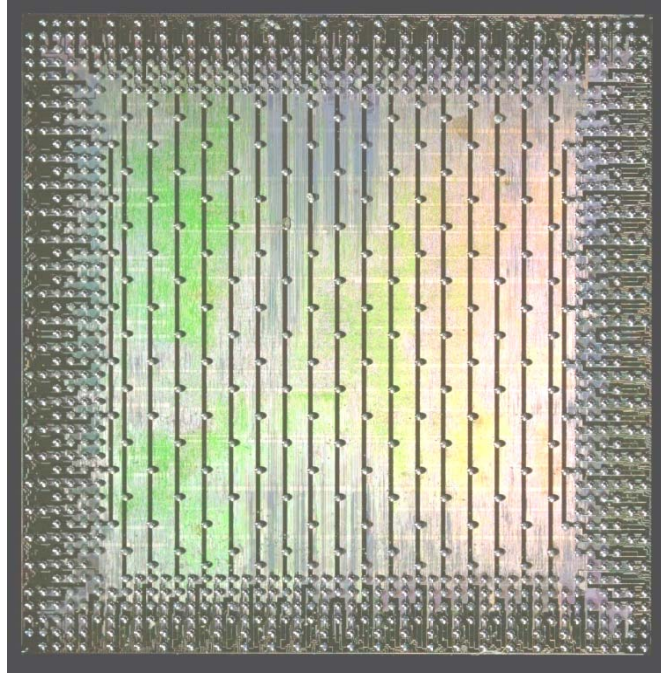
Τέλος, δίδονται κάποια παραδείγματα προγραμμάτων σε γλώσσα **HDL** και κάποια σε μορφή σχηματικού, ώστε να γίνει κατανοητός ο τρόπος με τον οποίο θα πρέπει να γίνει η χρήση της κατασκευής.

Σκοπός λοιπόν του βιβλίου αυτού είναι να βοηθήσει τον αναγνώστη να κατανοήσει τις τεχνολογίες των **CPLDs** (*Complex Programmable Logic Devices*) και των **FPGAs** (*Field Programmable Gate Arrays*), να γνωρίσει ποιές είναι οι βασικές διαφορές τους και να εφαρμόσει πρακτικά τις παραπάνω τεχνολογίες μελετώντας την κατασκευή που υλοποιήθηκε στην προσπάθεια αυτή.



ΤΕΧΝΟΛΟΓΙΕΣ

ΜΕΡΟΣ Α



Ιστορική αναδρομή

Περιγραφή των CPLDs

Περιγραφή των FPGAs

Διαφορές

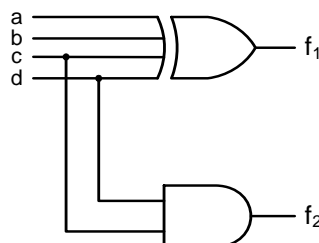
A.1.1 ΙΣΤΟΡΙΚΗ ΑΝΑΔΡΟΜΗ

Η ανάγκη για ολοκληρωμένα κυκλώματα που περιέχουν μεγάλο αριθμό πυλών και μπορούν με κατάλληλη συνδεσμολογία να δώσουν ένα αποτέλεσμα οδήγησε τις εταιρίες να κατασκευάσουν chips τα οποία να πληρούν αυτές τις προϋποθέσεις. Τα ολοκληρωμένα αυτά πέρασαν από πολλά στάδια μέχρι να φτάσουν στη σημερινή τους μορφή που θεωρείται και η πιο εξελιγμένη.

Η πιο απλή μορφή ενός ολοκληρωμένου με προγραμματιζόμενη λογική είναι οι μνήμες PROM (Programmable Read Only Memory). Όπως φαίνεται και από την περιγραφή του όρου PROM, αναφέρεται σε μια μνήμη που κατά τη λειτουργία της έχει τη δυνατότητα μόνο για ανάγνωση. Ο προγραμματισμός με τα δεδομένα, που στην ουσία είναι ο πίνακας αλήθειας της εξίσωσης, γίνεται πριν από τη χρήση της και σε ξεχωριστό κύκλωμα. Αυτό, βέβαια την καθιστά ασύμφορη λύση αφού όπως είναι γνωστό σε έναν πίνακα αλήθειας οι περισσότεροι όροι είναι αδιάφοροι, με συνέπεια να καταλαμβάνεται μεγάλος χώρος μνήμης για μια μικρή εξίσωση. Η μνήμη, λοιπόν, αυτή χρησιμοποιεί μια ομάδα ακίδων για εισόδους και μια άλλη για εξόδους. Οι εισοδοί κατά τη λειτουργία είναι οι γραμμές διευθύνσεων (Address Bus) και οι έξοδοι είναι οι γραμμές δεδομένων (Data Bus). Το πλεονέκτημα όμως της μνήμης PROM είναι ότι διατηρεί τα δεδομένα και στην περίπτωση που υπάρχει απώλεια της τροφοδοσίας.

Πίνακας A.1.1.1 Πίνακας Αλήθειας μνήμης PROM

a	b	c	d	f ₁	f ₂
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	0
0	1	1	0	0	0
0	1	1	1	1	1
1	0	0	0	1	0
1	0	0	1	0	0
1	0	1	0	0	0
1	0	1	1	1	1
1	1	0	0	0	0
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	0	1

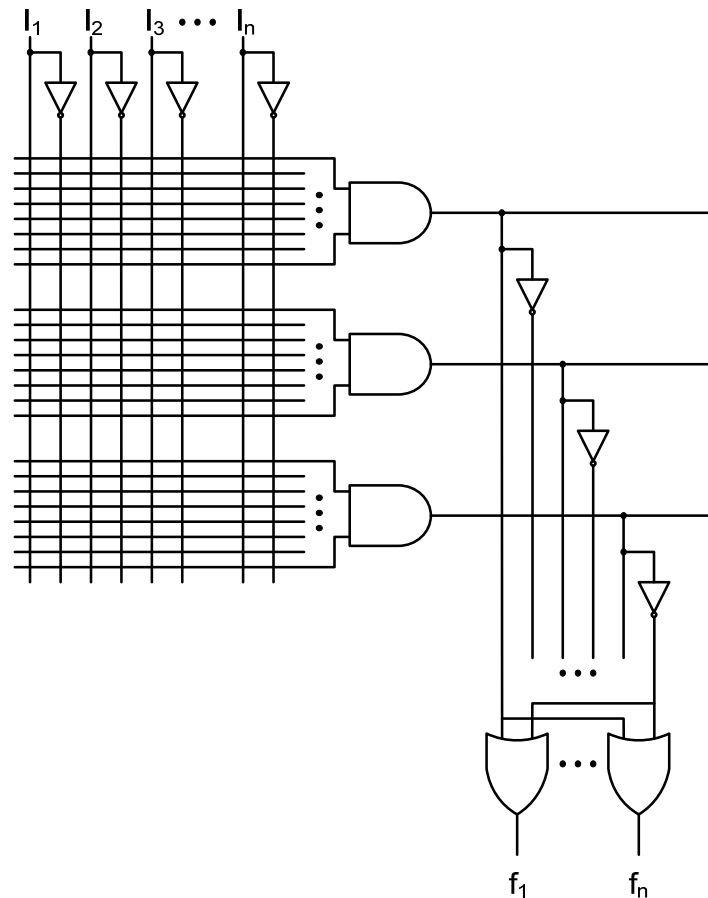


Σχήμα A.1.1.1 Δομή PROM

Μια πιο προχωρημένη μορφή προγραμματιζόμενων κυκλωμάτων είναι τα PLAs (Programmable Logic Arrays). Τα ολοκληρωμένα αυτά υλοποιούν λογικά κυκλώματα σε διεπίπεδη μορφή AND – OR, αθροίσματος – γινομένων.

Όπως φαίνεται και στο Σχήμα A.1.1.2 υπάρχει το επίπεδο των γινομένων (AND) και το επίπεδο των αθροισμάτων (OR). Οι έξοδοι του πρώτου επιπέδου δίνουν

τους όρους των γινομένων οσονδήποτε εισόδων, ενώ στο δεύτερο οι έξοδοι δίνουν το αποτέλεσμα του αθροίσματος των όρων του πρώτου επιπέδου. Αυτό έχει σαν αποτέλεσμα τις μικρές σχετικά ταχύτητες αφού τα προγραμματιζόμενα επίπεδα είναι δύο, αλλά θα μπορούσε να μετριαστεί το πρόβλημα αυτό αν υπήρχε προγραμματιζόμενη λογική μόνο στο πρώτο επίπεδο.



Σχήμα A.1.1.2 Δομή PLA

Έτσι, οργανώθηκαν τα PALs (Programmable Array Logic), στα οποία μόνο το πρώτο επίπεδο που αποτελείται από διατάξεις AND έχει τη δυνατότητα προγραμματισμού, ενώ τα λογικά αθροίσματα παραμένουν σταθερά.

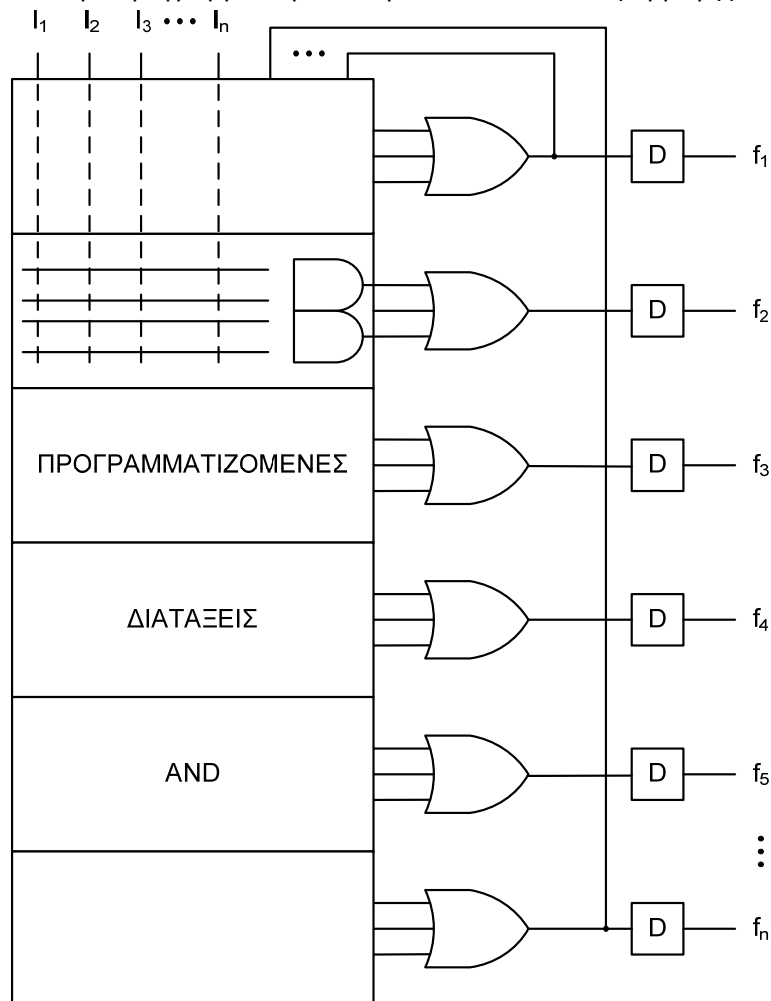
Τα PAL, λοιπόν, βρίσκονται σε μεγάλη ποικιλία εισόδων εξόδων και μεγέθους πυλών OR. Έχουν στις εξόδους τους flip-flop, ώστε να μπορούν να υλοποιήσουν ακολουθιακά κυκλώματα. Έχουν όμως το μειονέκτημα της περιορισμένης δυνατότητας υλοποίησης λογικών κυκλωμάτων.

Τα δυο παραπάνω είδη προγραμματιζόμενων ολοκληρωμένων κυκλωμάτων ανήκουν σε μια γενικότερη κατηγορία και ονομάζονται SPLDs (Simple Programmable Logic Devices).

Μετά τα SPLDs υπήρξε η ανάγκη για κάτι πιο περίπλοκο και με μεγαλύτερες δυνατότητες και εμφανίστηκαν τα CPLDs (Complex Programmable Logic Devices). Τα ολοκληρωμένα αυτά χρησιμοποιούν αρχιτεκτονικές που βασίζονται στη διασύνδεση πολλών SPLDs σε ένα chip, και ο αριθμός φτάνει μέχρι και τις 50 τυπικές συσκευές SPLD. Με τον τρόπο αυτό αυξήθηκε η χωρητικότητα η οποία απαιτείται στις μεγαλύτερης επιφάνειας εφαρμογές, όμως προέκυψε το πρόβλημα της δυσαναλογίας αύξησης στην προγραμματιζόμενη λογική και την αύξηση στον αριθμό εισόδων – εξόδων της συσκευής.

Έτσι προέκυψαν τα σημερινά FPGAs (Field Programmable Gate Arrays) τα οποία βασίζονται σε συστάδες προκατασκευασμένων τρανζίστορ τα οποία διασυνδέονται για να υλοποιήσουν το ζητούμενο κύκλωμα. Υπάρχουν πολλοί διαφορετικοί τρόποι με

τους οποίους κατασκευάζονται FPGAs ανάλογα με τον κατασκευαστή, η παρούσα εργασία όμως επικεντρώνεται σ' αυτά της εταιρίας Xilinx, αφού αυτά χρησιμοποιήθηκαν και στην κατασκευή. Τα FPGAs αποτελούνται από μία συστάδα κυκλωματικών στοιχείων (Logic Blocks) με αρκετές δυνατότητες διασύνδεσης και διαμορφώνονται με προγραμματισμό που γίνεται στο πεδίο εφαρμογής τους.



Σχήμα A.1.1.3 Δομή PAL

Τα FPGAs είναι οι προγραμματιζόμενες συσκευές που παρέχουν τη μεγαλύτερη πυκνότητα ολοκλήρωσης, παρόλα αυτά όμως δεν παύουν να είναι MPGAs (Mask Programmed Gate Arrays), τα οποία έχουν μεγάλο κόστος και χρόνο κατασκευής.

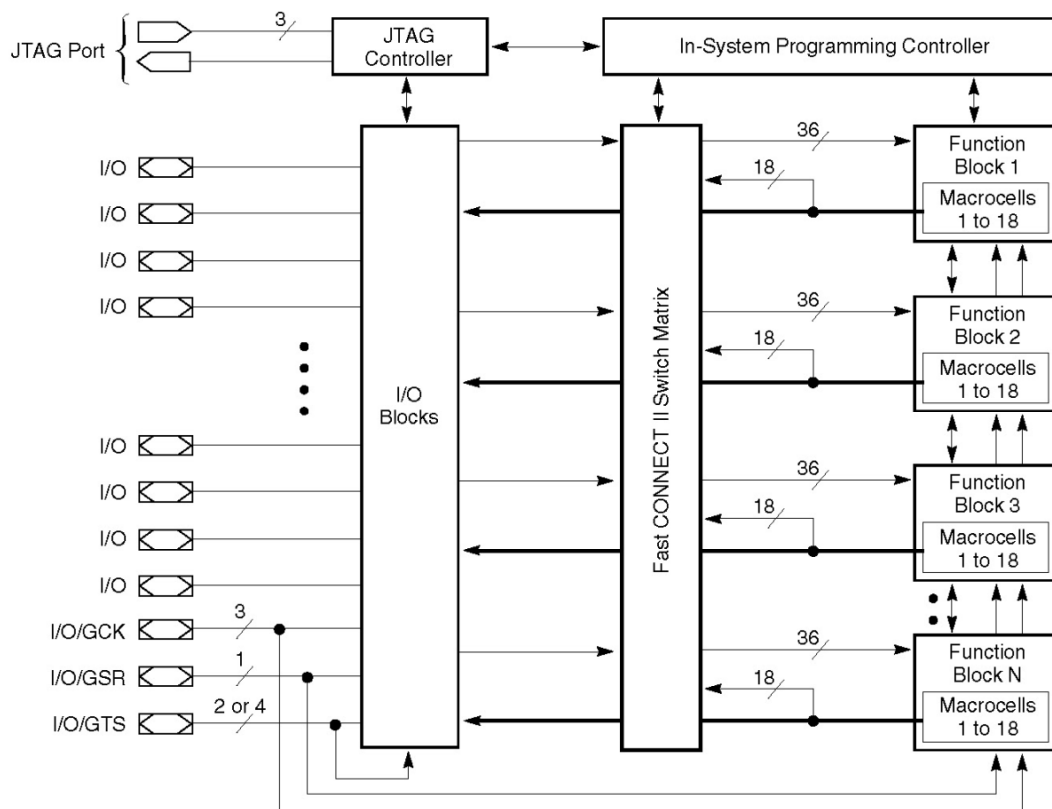
Τέλος, μπορεί να αναφερθεί ότι όλες οι κατηγορίες προγραμματιζόμενων ολοκληρωμένων κυκλωμάτων έχουν δυνατότητα για επαναπρογραμματισμό και μάλιστα εκτός από κάποιες εξαιρέσεις μπορεί ο προγραμματισμός να γίνεται πάνω στο κύκλωμα λειτουργίας τους (In Circuit Programming). Υπάρχουν ακόμη κάποια FPGAs τα οποία μπορούν να προγραμματιστούν χωρίς να σταματήσουν την εκτέλεση του κώδικα που ήδη χρησιμοποιούν.

A.1.2 ΠΕΡΙΓΡΑΦΗ ΤΩΝ CPLDs

Αρχικά να σημειωθεί ότι στο κεφάλαιο αυτό θα αναλυθούν τα **CPLDs** της εταιρίας **Xilinx** και πιο συγκεκριμένα της σειράς **XC9500** τα οποία και χρησιμοποιούνται στη συγκεκριμένη κατασκευή.

Περιγραφή Αρχιτεκτονικής

Κάθε συσκευή, λοιπόν, **XC9500** είναι ένα υποσύστημα που αποτελείται από πολλαπλά *Function Blocks* (FBs) και *I/O Blocks* (IOBs) που διασυνδέονται πλήρως με το *Fast CONNECT™ switch matrix*. Το *I/O Block* παρέχει απομόνωση από τις εισόδους και εξόδους της συσκευής. Κάθε *Function Block* παρέχει την ικανότητα προγραμματιζόμενης λογικής με 36 εισόδους και 18 εξόδους. Η διάταξη *Fast CONNECT™ switch matrix* συνδέει όλες τις εξόδους από τα *Function Blocks* και τα σήματα εισόδου με τις εισόδους άλλων *Function Blocks*. Σε κάθε *Function Block* αντιστοιχούν 12 έως 18 έξοδοι (ανάλογα με το package της συσκευής) και συνδεδεμένα σήματα εξόδου ενεργοποίησης τα οποία οδηγούνται απευθείας στα *I/O Blocks*.

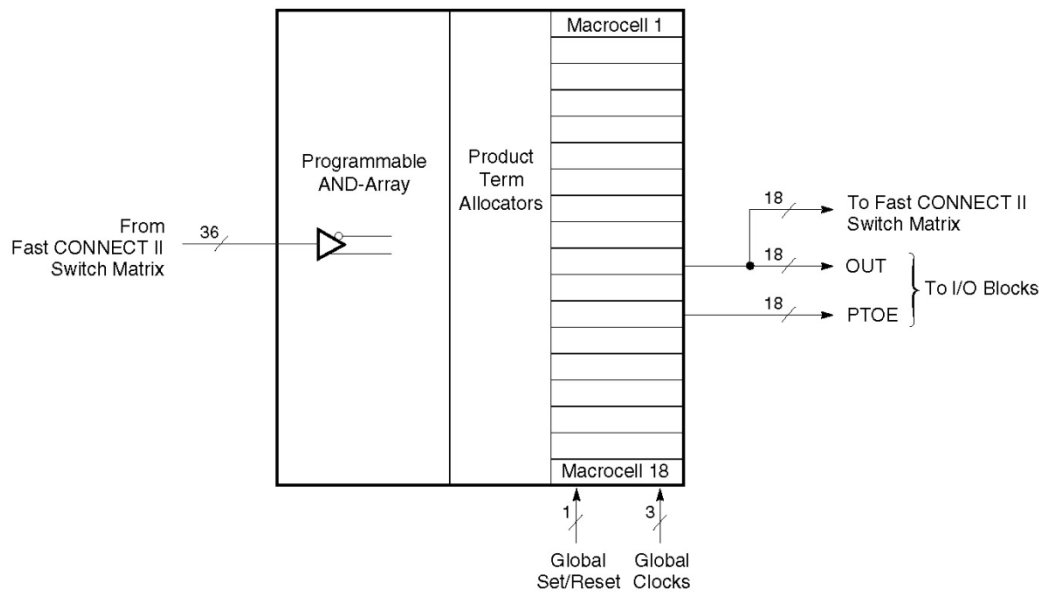


Σχήμα A.1.2.1 Αρχιτεκτονική συσκευής σειράς XC9500

Περιγραφή των Function Blocks

Κάθε *Function Block*, όπως φαίνεται και στο Σχήμα A.1.2.2, αποτελείται από 18 ανεξάρτητα *Macrocells*, που κάθε ένα από αυτά είναι ικανό να εφαρμόσει μια συνδυαστική ή λειτουργία καταχωρητή. Τα *Function Blocks* λαμβάνουν επίσης **global clock** και σήματα **set/reset** και δίνουν **output enable**. Το κάθε *Function Block* έχει 18 εξόδους που οδηγούνται στο *Fast CONNECT™ switch matrix*. Αυτές οι 18 έξοδοι και τα

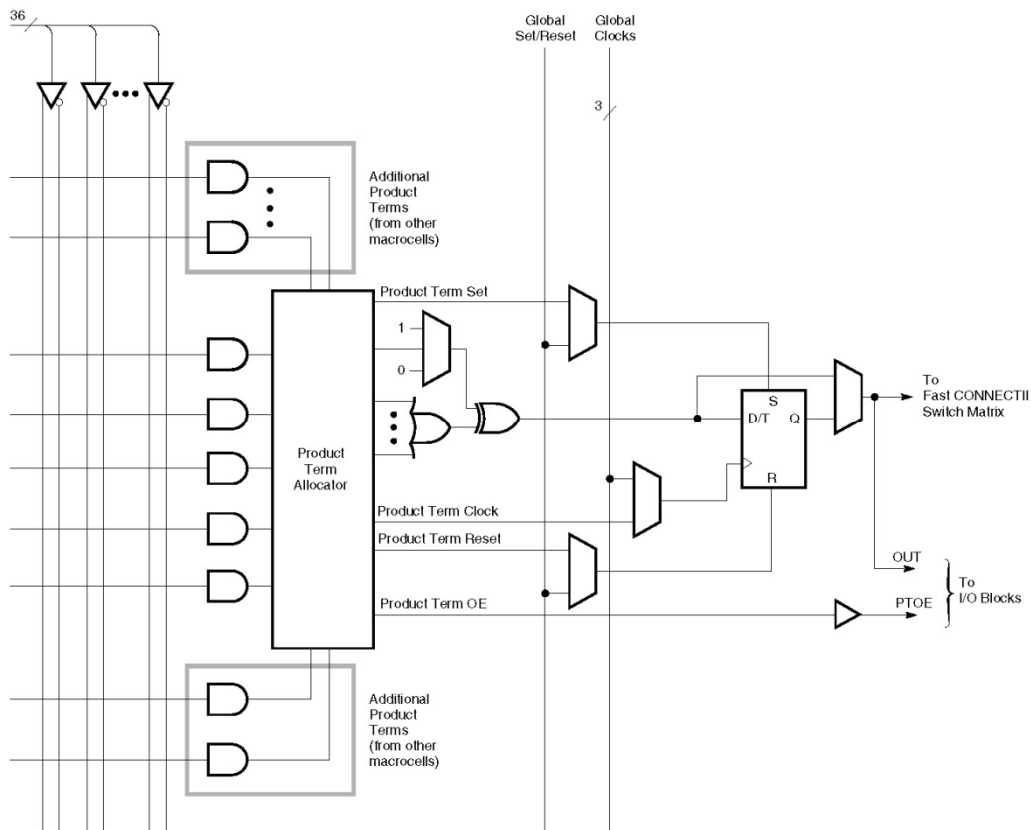
αντίστοιχα **output enable** σήματα οδηγούνται ταυτόχρονα και στα *I/O Blocks*. Η λογική μέσα στα *Function Blocks* εφαρμόζεται χρησιμοποιώντας μια απεικόνιση αθροίσματος γινομένων. Τριάντα έξι είσοδοι παρέχουν συνολικά 72 κανονικά και συμπληρωματικά σήματα στην προγραμματιζόμενη σειρά AND για να διαμορφώσουν 90 όρους γινομένων. Οποιοσδήποτε αριθμός αυτών των όρων γινομένου, μέχρι τα 90 διαθέσιμα, μπορεί να διατεθεί σε κάθε macrocell από τον κατανεμητή όρου γινομένων (**product term allocator**). Κάθε *Function Block* (εκτός από το XC9536) υποστηρίζει την τοπική ανατροφοδότηση, η οποία επιτρέπει σε οποιοδήποτε αριθμό εξόδων ενός *Function Block* να οδηγηθεί εσωτερικά στη δική του προγραμματιζόμενη σειρά AND χωρίς μετάβαση έξω από αυτό. Με αυτόν τον τρόπο μπορούμε να δημιουργήσουμε πολύ γρήγορους μετρητές και μηχανές καταστάσεων, όπου όλοι οι καταχωρητές καταστάσεων είναι μέσα στο ίδιο *Function Block*.



Σχήμα A.1.2.2 Function Block από XC9536

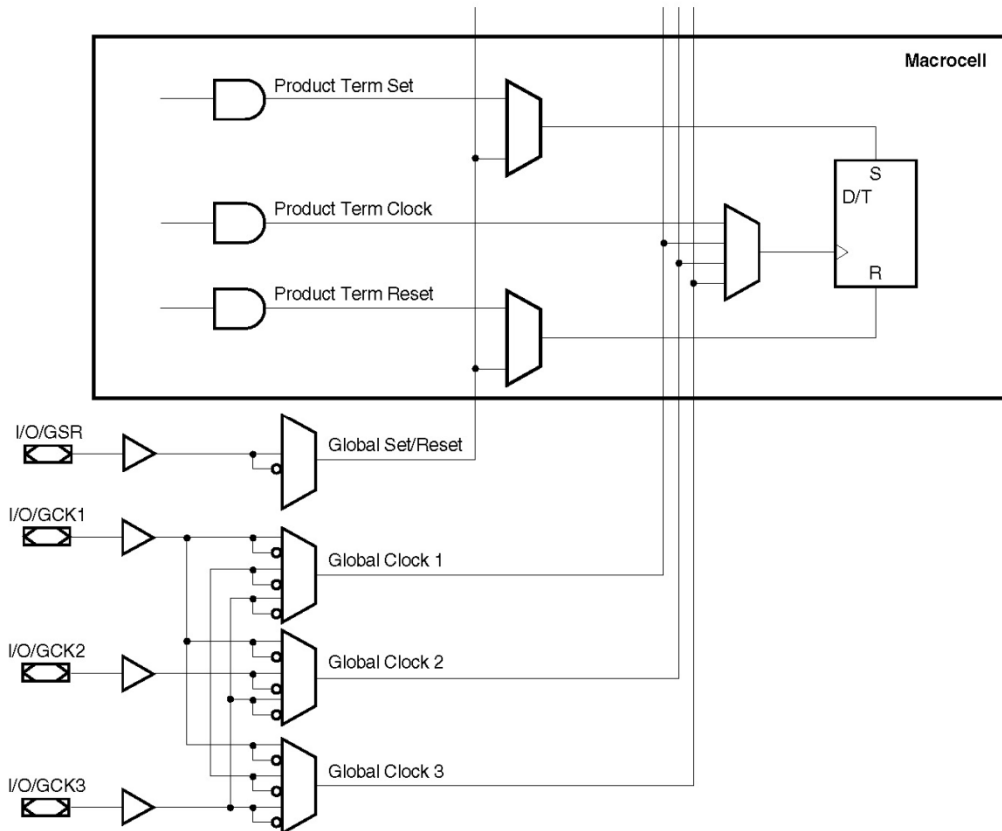
Περιγραφή των Macrocells

Κάθε XC9500 macrocell μπορεί να διαμορφωθεί χωριστά για μια συνδυαστική λειτουργία ή μια λειτουργία καταχωρητή. Το macrocell και η σχετική λογική των FBs παρουσιάζονται στο Σχήμα A.1.2.3. Πέντε απευθείας όροι γινομένου από την σειρά AND είναι διαθέσιμοι για χρήση ως αρχικά δεδομένα εισόδου (στις OR και τις XOR πύλες) για να εφαρμόσουν συνδυαστικές λειτουργίες, ή ως είσοδοι ελέγχου συμπεριλαμβανομένου του **clock**, **set/reset**, και **output enable**. Ο κατανεμητής όρων γινομένου που συνδέεται με κάθε macrocell επιλέγει πώς οι πέντε απευθείας όροι θα χρησιμοποιούνται. Ο καταχωρητής του macrocell μπορεί να διαμορφωθεί ως flip-flop τύπου D ή τύπου T, ή μπορεί να παρακαμφθεί για συνδυαστική λειτουργία. Κάθε καταχωρητής υποστηρίζει ασύγχρονο **set** και **reset** διαδικασίες. Κατά τη διάρκεια της τροφοδοσίας όλοι οι καταχωρητές που είναι διαθέσιμοι για τους χρήστες αρχικοποιούνται στην καθορισμένη από το χρήστη φορτωμένη από πριν κατάσταση (0 εάν είναι απροσδιόριστη).



Σχήμα A.1.2.3 Δομή ενός macrocell μαζί με το Function Block

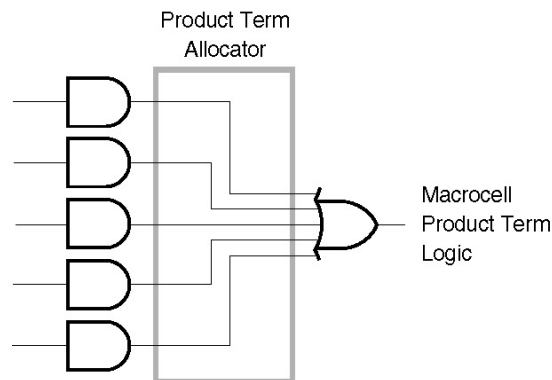
Όλα τα global σήματα ελέγχου είναι διαθέσιμα σε κάθε μεμονωμένο macrocell, συμπεριλαμβανομένων των σημάτων **clock**, **set/reset** και **output enable**. Όπως φαίνεται στο Σχήμα A.1.2.4, το **clock** του καταχωρητή του macrocell δημιουργείται από ένα από τα τρία **global clocks** ή από το **clock** του όρου γινομένου. Και οι πραγματικές και οι συμπληρωματικές πολικότητες ενός pin **GCK** μπορούν να χρησιμοποιηθούν μέσα στη συσκευή. Μια είσοδος **GSR** παρέχεται επίσης για να επιτρέψει στους καταχωρητές που είναι διαθέσιμοι, για να τεθούν σε μια καθορισμένη από το χρήστη κατάσταση.



Σχήμα A.1.2.4 Λειτουργία clock και set/reset του Macrocell

Κατανεμητής Όρων Γινομένου

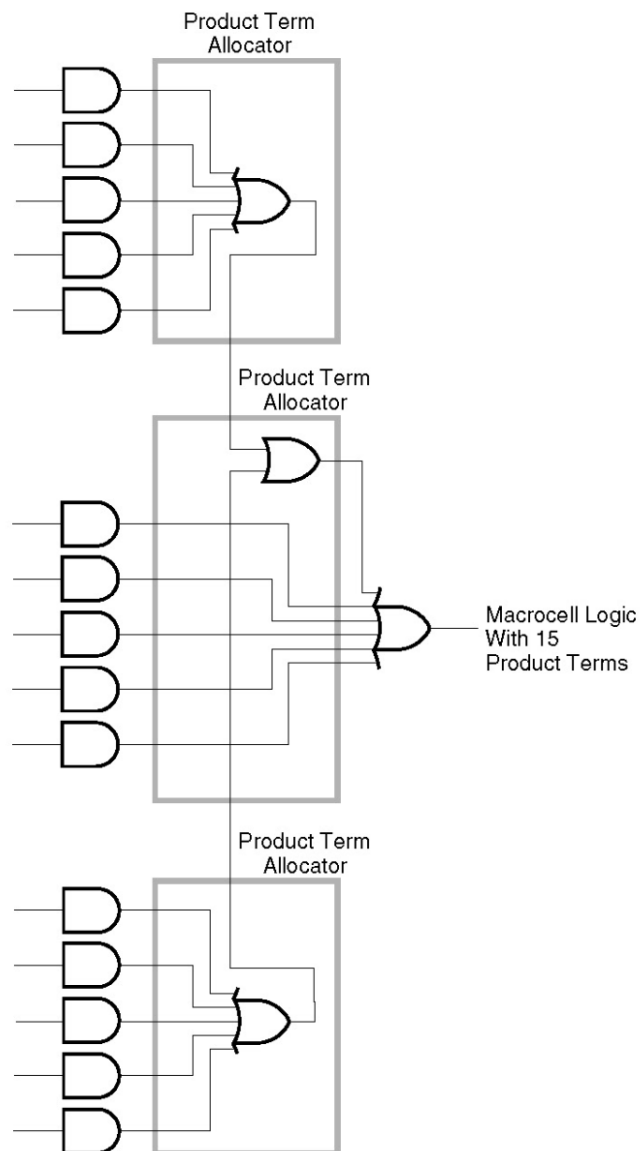
Ο κατανεμητής όρων γινομένου ελέγχει πώς οι πέντε άμεσοι όροι γινομένου ορίζονται σε κάθε macrocell. Παραδείγματος χάριν, και οι πέντε απευθείας όροι μπορούν να οδηγήσουν τη λειτουργία OR όπως φαίνεται στο Σχήμα A.1.2.5.



Σχήμα A.1.2.5 Λογικό διάγραμμα Macrocell με χρήση απευθείας όρων γινομένου

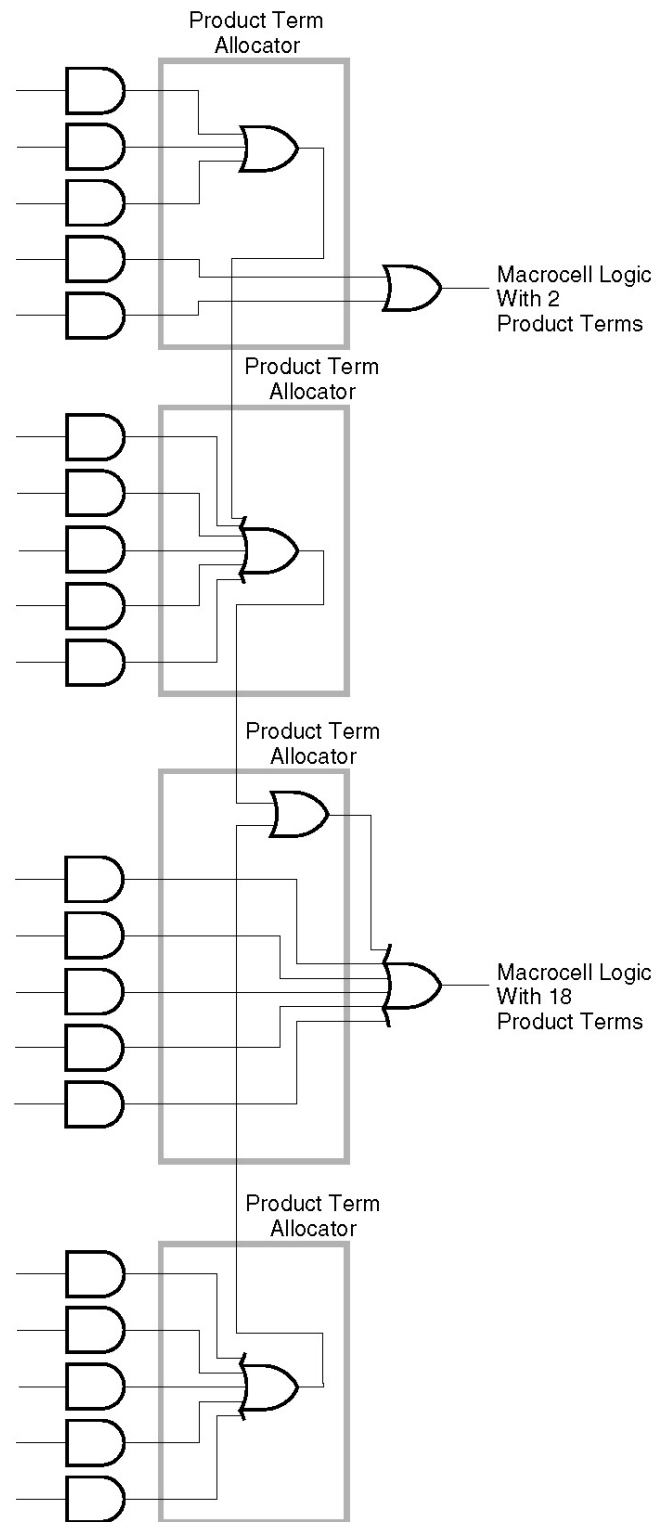
Ο κατανεμητής όρων γινομένου μπορεί να επανεκχωρήσει άλλους όρους γινομένου μέσα στο FB για να αυξήσει την ικανότητα λογικής ενός macrocell πέρα από τους πέντε απευθείας όρους. Οποιοδήποτε macrocell απαιτεί πρόσθετους όρους γινομένου μπορεί να έχει πρόσβαση στους αδέσμευτους όρους γινομένου σε άλλα macrocells μέσα στο FB. Μέχρι και 15 όροι γινομένου μπορούν να είναι διαθέσιμοι σε ένα απλό macrocell με μια μόνο μικρή επαυξητική καθυστέρηση T_{PTA} , όπως φαίνεται στο Σχήμα A.1.2.6. Σημειώστε ότι η επαυξητική καθυστέρηση έχει επιπτώσεις μόνο

στους όρους γινομένου σε άλλα macrocells. Ο συγχρονισμός των άμεσων όρων γινομένου δεν αλλάζει.



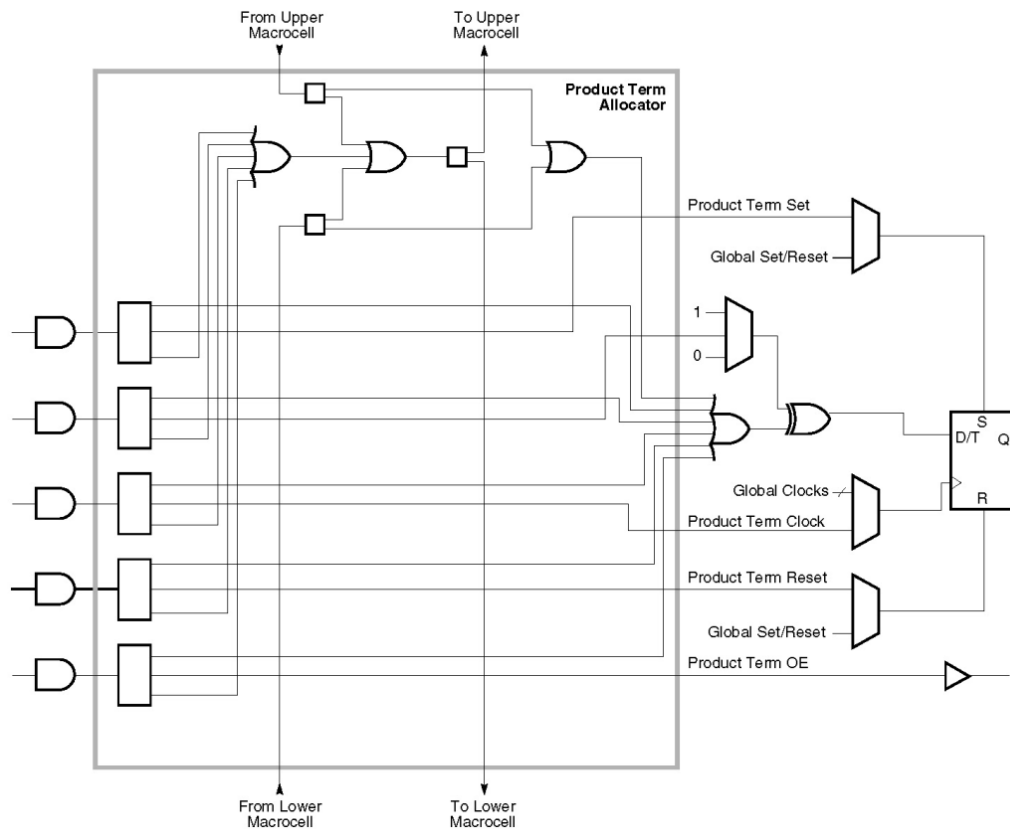
Σχήμα A.1.2.6 Κατανομή Όρων Γινομένων με 15 Όρους Γινομένου

Ο κατανομητής όρων γινομένων μπορεί να επανεκχωρήσει τους όρους γινομένου από οποιοδήποτε macrocell μέσα στο FB με το συνδυασμό του μερικού αθροίσματος των γινομένων πέρα από διάφορα macrocells, όπως φαίνεται στο Σχήμα A.1.2.7. Σε αυτό το παράδειγμα, η επαυξητική καθυστέρηση είναι μόνο $2 \cdot T_{PTA}$. Όλοι οι 90 όροι γινομένων είναι διαθέσιμοι σε οποιοδήποτε macrocell, με μια μέγιστη επαυξητική καθυστέρηση $8 \cdot T_{PTA}$.



Σχήμα A.1.2.7 Κατανομή Όρων Γινομένου κατά Μήκος Μερικών Macrocells

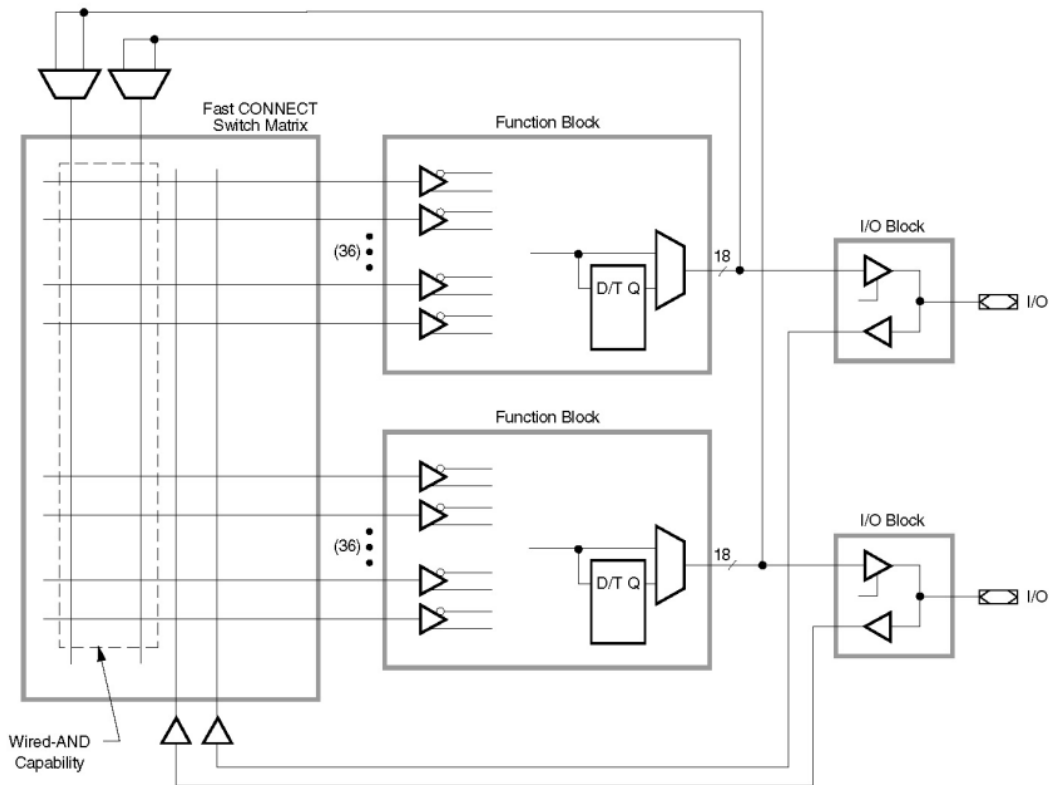
Η εσωτερική λογική του κατανομητή όρων γινομένου παρουσιάζεται στο Σχήμα A.1.2.8.



Σχήμα A.1.2.8 Το λογικό διάγραμμα του Κατανεμητή Όρων Γινομένου

Fast CONNECT Switch Matrix

Το *Fast CONNECT switch matrix* συνδέει τα σήματα με τις εισόδους των FB, όπως φαίνεται στο Σχήμα A.1.2.9. Όλες οι εξόδους των IOB (που αντιστοιχούν στα pin εισόδου) και όλες οι εξόδους των FB οδηγούν το Fast CONNECT matrix. Οποιαδήποτε από αυτά (μέχρι το όριο του fan-in στο FB που είναι 36) μπορεί να επιλεγεί, μέσω του προγραμματισμού από το χρήστη, για να οδηγήσει κάθε FB με μια ομοιόμορφη καθυστέρηση. Το *Fast CONNECT switch matrix* είναι ικανό να συνδυάσει τις πολλαπλές εσωτερικές συνδέσεις σε μια ενιαία καλωδιωμένη AND έξοδο πριν οδηγήσει το FB προορισμού. Αυτό παρέχει πρόσθετη ικανότητα λογικής και αυξάνει αποτελεσματικά το fan-in λογικής του FB προορισμού χωρίς οποιαδήποτε πρόσθετη καθυστέρηση συγχρονισμού. Αυτή η ικανότητα είναι διαθέσιμη για τις εσωτερικές συνδέσεις που προέρχονται από τις εξόδους των FB μόνο. Επικαλείται αυτόματα από το λογισμικό ανάπτυξης, όπου αυτό είναι εφαρμόσιμο.



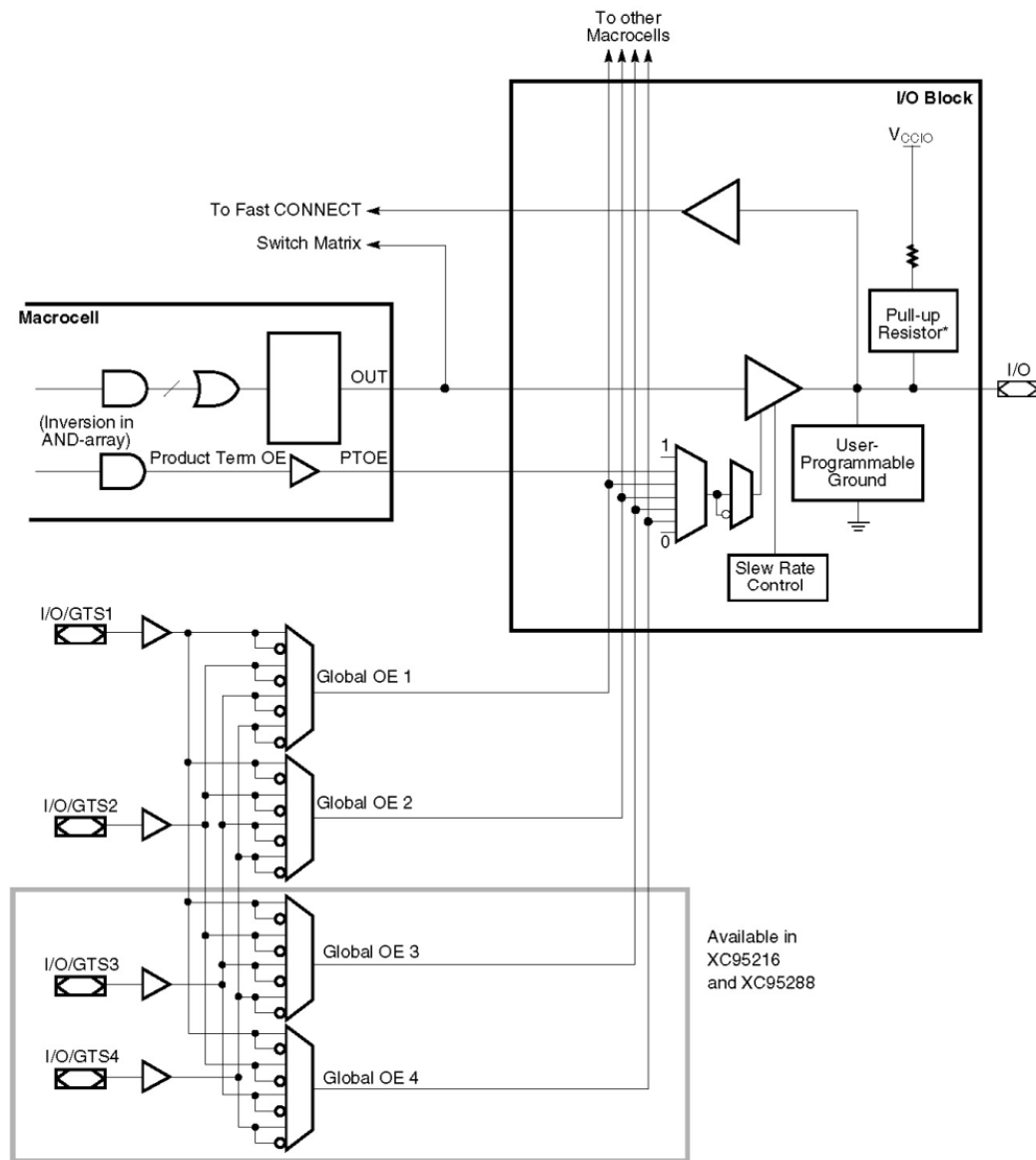
Σχήμα A.1.2.9 Το Fast CONNECT Switch Matrix

I/O Block

Το I/O Block (IOB) διασυνδέει μεταξύ της εσωτερικής λογικής και των I/O pin της συσκευής. Κάθε IOB περιλαμβάνει έναν απομονωτή εισόδου (**input buffer**), οδηγό εξόδου (**output driver**), πολυπλέκτη επιλογής **output enable**, και τον προγραμματιζόμενο έλεγχο γείωσης. Δείτε το Σχήμα A.1.2.10 για τις λεπτομέρειες.

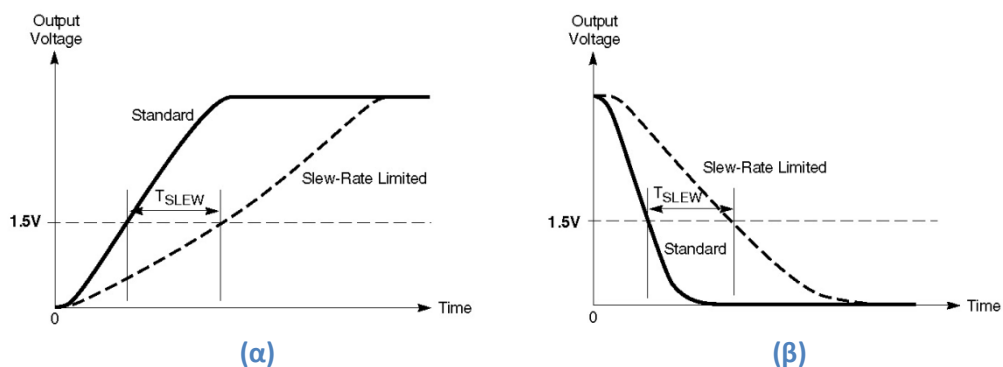
Ο απομονωτής εισόδου είναι συμβατός με τα πρότυπα επιπέδων σημάτων 5V CMOS, 5V TTL, και 3.3V. Ο απομονωτής εισόδου χρησιμοποιεί την εσωτερική τροφοδοσία 5V (V_{CCINT}) για να εξασφαλίσει ότι τα κατώτατα όρια εισόδου είναι σταθερά και δεν διαφέρουν από την τάση V_{CCIO} .

Το **output enable** μπορεί να παραχθεί με μια από τις παρακάτω τέσσερις επιλογές: ένα σήμα όρου γινομένου από το macrocell, οποιαδήποτε από τα **global OE** σήματα, πάντα [1], ή πάντα [0]. Υπάρχουν δύο **global output enable** σήματα για τις συσκευές με μέχρι 144 macrocells, και τέσσερα **global output enable** σήματα για το υπόλοιπο των συσκευών. Και οι δύο πολικότητες από οποιαδήποτε από τα **global pins** ελέγχου τριών καταστάσεων (**GTS**) μπορούν να χρησιμοποιηθούν μέσα στη συσκευή.



Σχήμα A.1.2.10 Τα I/O Block και η δυνατότητα για Output Enable

Κάθε έξοδος έχει ανεξάρτητο έλεγχο για το ρυθμό σάρωσης (slew rate). Ο ρυθμός διέγερσης των εξόδων μπορούν να επιβραδυνθούν για να μειώσουν το θόρυβο του συστήματος (με μια πρόσθετη χρονική καθυστέρηση T_{SLEW}) μέσω του προγραμματισμού. Δείτε το Σχήμα A.1.2.11.

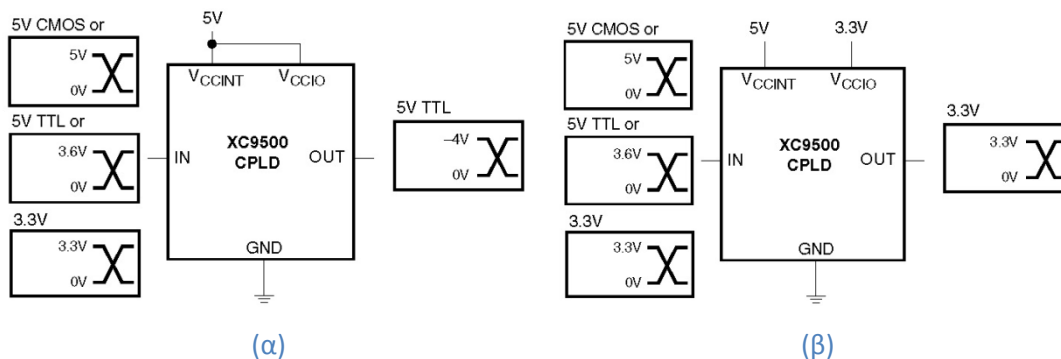


Σχήμα A.1.2.11 Ρυθμός σάρωσης για (α) ανοδική, (β) καθοδική έξοδο

Κάθε IOB παρέχει στο χρήστη τη δυνατότητα να προγραμματίσει κάποια pins γείωσης. Αυτό επιτρέπει στα I/O pins της συσκευής να διαμορφωθούν ως πρόσθετα pins γείωσης. Με τη σύνδεση των στρατηγικά τοποθετημένων προγραμματιζόμενων pins γείωσης στην εξωτερική γείωση, ο θόρυβος που παράγεται στο σύστημα από τον μεγάλο αριθμό ταυτόχρονων μεταγωγών εξόδων μπορεί να μειωθεί.

Μια pull-up αντίσταση ελέγχου (χαρακτηριστικά 10KΩ) είναι συνδεδεμένη σε κάθε I/O pin της συσκευής για να το αποτρέψει να βρεθεί σε απροσδιόριστη κατάσταση όταν η συσκευή δεν βρίσκεται σε κανονική λειτουργία χρήσης. Αυτή η αντίσταση είναι ενεργή κατά τη διάρκεια της λειτουργίας προγραμματισμού και κατά τη διάρκεια της τροφοδοσίας. Ενεργοποιείται επίσης σε μια συσκευή που έχει διαγραφεί. Η αντίσταση απενεργοποιείται κατά τη διάρκεια της κανονικής λειτουργίας.

Ο οδηγός εξόδου είναι σε θέση να τροφοδοτήσει με 24mA τις εξόδους. Όλοι οι οδηγοί εξόδου στη συσκευή μπορούν να διαμορφωθούν είτε σε επίπεδα 5V TTL είτε σε 3.3V με τη σύνδεση της τροφοδοσίας εξόδων της συσκευής (V_{CCIO}) στα 5V ή στα 3.3V. Το σχήμα A.1.2.12 επιδεικνύει πώς η συσκευή XC9500 μπορεί να χρησιμοποιηθεί στα 5V μόνο και τα μικτά συστήματα 3.3V/5V.



Σχήμα A.1.2.12 Συσκευή XC9500 (α)Σύστημα 5V (β) Μικτό σύστημα 5V/3.3V

Προγραμματισμός In-System

Οι συσκευές XC9500 είναι προγραμματιζόμενες μέσω του πρότυπου πρωτοκόλλου JTAG 4pin, όπως φαίνεται στο Σχήμα A.1.2.13. Ο προγραμματισμός πάνω στο σύστημα προσφέρει γρήγορους και αποδοτικούς επανασχεδιασμούς χωρίς να χρειάζεται να αφαιρεθεί η συσκευή από το σύστημα. Το σύστημα ανάπτυξης της Xilinx παρέχει την ακολουθία προγραμματισμού με δεδομένα χρησιμοποιώντας ένα καλώδιο μεταφοράς της Xilinx, ένα σύστημα ανάπτυξης με JTAG άλλης εταιρίας κατασκευής, μια συμβατή με το πρότυπο JTAG πλακέτα ελέγχου, ή μια απλή διασύνδεση μικροεπεξεργαστή που μιμείται την ακολουθία του JTAG προτύπου.

Όλα τα I/Os είναι τριών καταστάσεων και έρχονται σε high κατάσταση από τις αντιστάσεις των IOB κατά τη διάρκεια του προγραμματισμού. Εάν ένα ιδιαίτερο σήμα πρέπει να παραμείνει σε low κατάσταση κατά τη διάρκεια αυτής της περιόδου, τότε μια pull down αντίσταση μπορεί να προστεθεί στο pin.

A.1.3 ΠΕΡΙΓΡΑΦΗ ΤΩΝ FPGAs

Εισαγωγή

Η οικογένεια Spartan™-3E των FPGAs έχει σχεδιαστεί για να ικανοποιήσει τις ανάγκες για μεγάλη ποσότητα, χαμηλού κόστους ηλεκτρονικές εφαρμογές. Η οικογένεια έχει πέντε ολοκληρωμένα και προσφέρει τις πυκνότητες που κυμαίνονται από 100.000 έως 1,6 εκατομμύριο πύλες, όπως φαίνεται στον Πίνακα A.1.3.1.

Η οικογένεια Spartan-3E στηρίζεται στην επιτυχία της προηγούμενης οικογένειας Spartan-3 αυξάνοντας όμως το ποσοστό λογικής ανά I/O και μειώνοντας σημαντικά το κόστος ανά κύτταρο λογικής. Τα νέα χαρακτηριστικά γνωρίσματα βελτιώνουν την απόδοση συστημάτων και μειώνουν το κόστος της διαμόρφωσης. Αυτές οι αυξήσεις δυνατοτήτων στα Spartan-3E, που συνδυάζονται με την προηγμένη τεχνολογία επεξεργασίας 90-nm, παρουσιάζουν μεγαλύτερη λειτουργικότητα και εύρος ζώνης ανά δολάριο από ότι ήταν προηγουμένως δυνατόν, καθορίζοντας τα νέα πρότυπα στην βιομηχανία προγραμματιζόμενης λογικής.

Εξαιτίας του εξαιρετικά χαμηλού κόστους τους τα FPGAs Spartan-3E είναι ιδανικά σε μεγάλης κλίμακας ηλεκτρονικές εφαρμογές, όπως ευρυζωνική πρόσβαση, οικιακά δίκτυα, οθόνες, προβολικά μηχανήματα και εξοπλισμός ψηφιακής τηλεόρασης.

Η συσκευή Spartan-3E είναι η καλύτερη εναλλακτική λύση για να καλύψει τις ανάγκες ενός προγραμματισμένου ASIC. Τα FPGAs αποφεύγουν τις αρχικές δαπάνες, την παρατεταμένη σε διάρκεια ανάπτυξη και εγγενή ακαμψία των συμβατικών ASICs. Επίσης, η προγραμματισιμότητα των FPGAs επιτρέπει αναβαθμίσεις στον σχεδιασμό εσωτερικά χωρίς να είναι απαραίτητη η αντικατάσταση υλικού, κάτι που είναι απίθανο με τα ASICs.

Πίνακας A.1.3.1 Σύνοψη των χαρακτηριστικών των Spartan-3E FPGA

Συσκευή	Πύλες	Λογικά κελιά	Πίνακας CLB (1 CLB = 4 Slices)				DCMs	I/O	Διαφορικά I/O
			Γραμμές	Στήλες	CLBs	Slices			
XC3S100E	100K	2,160	22	16	240	960	2	108	40
XC3S250E	250K	5,508	34	26	612	2,448	4	172	68
XC3S500E	500K	10,476	46	34	1,164	4,656	4	232	92
XC3S1200E	1200K	19,512	60	46	2,168	8,672	8	304	124
XC3S1600E	1600K	33,192	76	58	3,688	14,752	8	376	156

Χαρακτηριστικά

- Πολύ χαμηλό κόστος, υψηλής απόδοσης λύσεις λογικής για μεγάλη ισχύ, προσανατολιζόμενα για καταναλωτικές εφαρμογές
- Αποδεδειγμένα εξελιγμένη τεχνολογία επεξεργασίας 90-nm
- Πολλαπλές τάσεις τροφοδοσίας, διασύνδεση pins SelectIO™ πολλαπλών προτύπων
 - Μέχρι και 376 I/O pins ή 156 ζευγάρια διαφορικών σημάτων
 - LVCMOS, LVTTL, HSTL, και SSTL πρότυπα απλών σημάτων
 - 3.3V, 2.5V, 1.8V, 1.5V, και 1.2V σηματοδοσία
 - 622+ Mb/s ρυθμός μεταφοράς δεδομένων ανά I/O
 - Πραγματικά σήματα LVDS, RSDS, mini-LVDS, διαφορικά HSTL/SSTL
 - Αυξανόμενη υποστήριξη για Double Data Rate (DDR)
 - DDR SDRAM που υποστηρίζει μέχρι και 333 Mb/s

- Άφθονους, ευέλικτους πόρους λογικής
 - Πυκνότητες μέχρι και 33,192 λογικά κελιά (logic cells), συμπεριλαμβανομένου του προαιρετικού καταχωρητή ολίσθησης ή της κατανεμημένης μνήμης RAM
 - Αποδοτικούς πολυπλέκτες ευρείας λογικής
 - Αυξανόμενους 18 x 18 πολλαπλασιαστές με προαιρετικό pipeline
 - IEEE 1149.1/1532 JTAG πόρτα προγραμματισμού/αποσφαλμάτωσης
- Ιεραρχική αρχιτεκτονική μνήμης SelectRAM™
 - Μέχρι και 648 Kbits σε γρήγορη μνήμη block RAM
 - Μέχρι και 231 Kbits σε αποδοτικά κατανεμημένη μνήμη RAM
- Μέχρι και οκτώ Ψηφιακούς Διαχειριστές Clock (Digital Clock Managers (DCMs))
 - Εξαφάνιση της παραμόρφωσης του Clock (καθυστέρηση κλειστού βρόγχου)
 - Σύνθεση, πολλαπλασιασμός και διαίρεση συχνότητας
 - Υψηλής ανάλυσης ολίσθηση φάσης
 - Ευρεία κλίμακα συχνοτήτων (5 MHz μέχρι και 300 MHz)
- Οκτώ global clocks μαζί με οκτώ επιπλέον clocks σε κάθε τέταρτο της συσκευής και με άφθονες δρομολογήσεις χαμηλής παραμόρφωσης
- Ρυθμίσεις διασύνδεσης βιομηχανικών προτύπων PROMs
 - Χαμηλού κόστους, οικονομίας χώρου σειριακές SPI Flash PROM
 - x8 ή x8/x16 παράλληλες NOR Flash PROM
 - Χαμηλού κόστους Xilinx Platform Flash με JTAG
- Ολοκληρωμένο Xilinx ISE™ και WebPACK™ αναπτυξιακά συστήματα υποστήριξης
- MicroBlaze™ και PicoBlaze ενσωματωμένοι πυρήνες επεξεργαστών
- Πλήρως συμβατά με 32-/64-bit 33 MHz PCI υποστήριξη (66 MHz σε κάποιες συσκευές)
- Χαμηλού κόστους QFP και BGA επιλογές συσκευασιών

Επισκόπηση Αρχιτεκτονικής

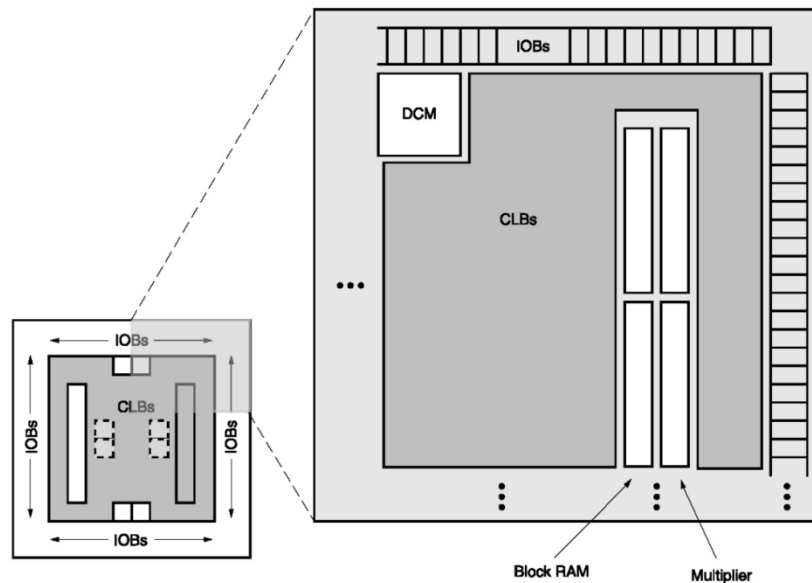
Η αρχιτεκτονική της οικογένειας Spartan-3E αποτελείται από πέντε θεμελιώδη προγραμματιζόμενα λειτουργικά στοιχεία:

- Τις **Διαμορφώσιμες Ομάδες Λογικής (Configurable Logic Blocks (CLBs))** που περιέχουν τα εύκαμπτα Look-Up Tables (LUTs) και προσαρμόζουν τα θετικής λογικής στοιχεία αποθήκευσης, ώστε να χρησιμοποιούνται ως flip-flops ή μανδαλωτές (latches). Τα CLBs εκτελούν μια ευρεία ποικιλία από λογικές λειτουργίες καθώς επίσης και αποθήκευσης δεδομένων.
- Τις **Ομάδες Εισόδων/Εξόδων (Input/Output Blocks (IOBs))** που ελέγχουν τη ροή των δεδομένων μεταξύ των I/O pins και της εσωτερικής λογικής της συσκευής. Κάθε IOB υποστηρίζει την αμφίδρομη ροή δεδομένων με λειτουργία 3 καταστάσεων. Υποστηρίζει ποικίλα πρότυπα σημάτων, συμπεριλαμβανομένων τεσσάρων υψηλής απόδοσης διαφορικών προτύπων. Συμπεριλαμβάνονται διπλής ταχύτητας μετάδοσης δεδομένων (DDR) καταχωρητές.
- Τις **Ομάδες RAM (Block RAM)** που παρέχει την αποθήκευση δεδομένων υπό μορφή 18-Kbit διπλής πόρτας block (dual-port).
- Τις **Ομάδες Πολλαπλασιαστών (Multiplier Blocks)** που δέχονται δυο δυαδικούς αριθμούς των 18-bit ως εισόδους και υπολογίζουν το αποτέλεσμα.
- Τις **Ομάδες Διαχειριστών Ψηφιακού Clock (Digital Clock Manager (DCM) Blocks)** που παρέχουν αυτορυθμιζόμενες, πλήρως ψηφιακές λύσεις για διανομή, καθυστέρηση, πολλαπλασιασμό, διαίρεση και ολίσθηση φάσης (phase-shifting) σημάτων ρολογιού (clock).

Αυτά τα στοιχεία είναι οργανωμένα εσωτερικά στο FPGA όπως φαίνεται στο Σχήμα A.1.3.1. Ένας δακτύλιος από IOBs περιβάλλει μια κανονική σειρά από CLBs. Κάθε συσκευή έχει δύο στήλες από Block RAM εκτός από το XC3S100E, το οποίο έχει

για στήλη. Κάθε στήλη RAM αποτελείται από διάφορα RAM Blocks των 18-Kbit. Κάθε Block RAM συνδέεται αποκλειστικά με έναν πολλαπλασιαστή. Τα DCM Blocks τοποθετούνται στο κέντρο με δύο από αυτά στο επάνω μέρος και δύο στο κάτω μέρος της συσκευής. Το XC3S100E έχει μόνο από ένα DCM Block στο επάνω και στο κάτω μέρος, ενώ στο XC3S1200E και στο XC3S1600E προστίθενται από δύο DCM Blocks στη μέση των αριστερών και δεξιών πλευρών.

Η οικογένεια Spartan-3E χαρακτηρίζεται από ένα πλούσιο δίκτυο από σειρές που διασυνδέουν και τα πέντε λειτουργικά στοιχεία, τα οποία διαβιβάζουν σήματα μεταξύ τους. Κάθε λειτουργικό στοιχείο έχει ένα **switch matrix** που επιτρέπει πολλαπλές συνδέσεις στη δρομολόγηση.



Σχήμα A.1.3.1 Η αρχιτεκτονική της οικογένειας Spartan-3E

Διαμόρφωση

Τα FPGAs της οικογένειας Spartan-3E προγραμματίζονται φορτώνοντας τα δεδομένα (**configuration data**) σε ισχυρούς, επαναπρογραμματιζόμενους μανδαλωτές τεχνολογίας CMOS (**CCLs**) οι οποίοι ελέγχουν συλλογικά όλα τα λειτουργικά στοιχεία και τους πόρους δρομολόγησης. Τα δεδομένα προγραμματισμού του FPGA είναι αποθηκευμένα σε μια εξωτερική μνήμη **PROM** ή σε κάποιο άλλο μέσο που δε χάνει τα δεδομένα του με την πτώση της τάσης και το οποίο τοποθετείται εντός ή εκτός της πλακέτας. Όταν τροφοδοτήσουμε το κύκλωμα, τα δεδομένα προγραμματισμού γράφονται στο FPGA με έναν από τους επτά παρακάτω τρόπους:

- Master Serial, από μια μνήμη Flash PROM της Xilinx.
- Serial Peripheral Interface (**SPI**), από σειριακή SPI Flash του εμπορίου.
- Byte Peripheral Interface (**BPI**), με μια παράλληλη μνήμη NOR Flash x 8 ή x8 /x16 του εμπορίου.
- Slave Serial, συνήθως φορτώνεται από έναν επεξεργαστή.
- Slave Parallel, συνήθως φορτώνεται από έναν επεξεργαστή.
- Boundary Scan (**JTAG**), συνήθως φορτώνεται από έναν επεξεργαστή ή από ελεγκτή συστήματος.

Δυνατότητες I/O

Η διασύνδεση **SelectIO** του Spartan-3E υποστηρίζει πολλά δημοφιλή απλά και διαφορεικά πρότυπα σημάτων. Ο Πίνακας A.1.3.2 παρουσιάζει τον αριθμό I/Os του χρήστη καθώς επίσης και τον αριθμό ζευγαριών διαφορικών I/O διαθέσιμων για κάθε συνδυασμό συσκευών/συσκευασίας. Τα Spartan-3E FPGAs υποστηρίζουν τα ακόλουθα πρότυπα απλών σημάτων:

- 3.3V χαμηλής τάσης TTL (LVTTTL)
- Χαμηλής τάσης CMOS (LVCMOS) στα 3.3V, 2.5V, 1.8V, 1.5V, ή 1.2V
- 3V PCI στα 33 MHz, και σε κάποιες συσκευές, 66 MHz
- HSTL I και III στα 1.8V, συνήθως χρησιμοποιούμενα σε εφαρμογές μνήμης
- SSTL I στα 1.8V και 2.5V, συνήθως χρησιμοποιούμενα σε εφαρμογές μνήμης

Οι συσκευές FPGA της οικογένειας Spartan-3E υποστηρίζουν τα παρακάτω διαφορεικά σήματα:

- LVDS
- Bus LVDS
- Mini-LVDS
- RSDS
- Διαφορικά σήματα HSTL (1.8V, Types I και III)
- Διαφορικά σήματα SSTL (2.5V και 1.8V, Type I)
- 2.5V LVPECL είσοδοι

Πίνακας A.1.3.2 Διαθέσιμα User I/Os και διαφορικά ζεύγη (Differential Pair I/Os)

	XC3S100E		XC3S250E		XC3S500E		XC3S1200E		XC3S1600E	
	user	diff	user	diff	user	diff	user	diff	user	diff
VQ100	66	30	66	30	-	-	-	-	-	-
VQG100	(7)	(2)	(7)	(2)	-	-	-	-	-	-
CP132	83	35	92	41	92	41	-	-	-	-
CPG132	(11)	(2)	(7)	(2)	(7)	(2)	-	-	-	-
TQ144	108	40	108	40	-	-	-	-	-	-
TQG144	(28)	(4)	(28)	(4)	-	-	-	-	-	-
PQ208	-	-	158	65	158	65	-	-	-	-
PQG208	-	-	(32)	(5)	(32)	(5)	-	-	-	-
FT256	-	-	172	68	190	77	190	77	-	-
FTG256	-	-	(40)	(8)	(41)	(8)	(41)	(8)	-	-
FG320	-	-	-	-	232	92	250	99	250	99
FGG320	-	-	-	-	(56)	(12)	(56)	(12)	(56)	(12)
FG400	-	-	-	-	-	-	304	124	304	124
FGG400	-	-	-	-	-	-	(72)	(20)	(72)	(20)
FG484	-	-	-	-	-	-	-	-	376	156
FGG484	-	-	-	-	-	-	-	-	(82)	(21)

Σημειώσεις:

1. Όλες οι Spartan-3E συσκευές που παρέχονται στο ίδιο πακέτο είναι συμβατές κατά pin.
2. Το νούμερο που φαίνεται με έντονη γραφή δείχνει το μέγιστο αριθμό I/O και τα pins εισόδου. Το νούμερο που φαίνεται με πλάγια γραφή δείχνει τον αριθμό των pins εισόδου μόνο.

Εισαγωγή

Όπως περιγράφεται στην **Επισκόπηση Αρχιτεκτονικής**, η δομή των Spartan™-3E FPGA αποτελείται από πέντε ουσιώδη λειτουργικά στοιχεία:

- **Blocks Εισόδων/Εξόδων (IOBs)**
- **Configurable Logic Block (CLB) και Πόρους Slice**
- **Block RAM**
- **Dedicated Multipliers**
- **Digital Clock Managers (DCMs)**

Block Εισόδων/Εξόδων (IOBs)

Επισκόπηση των IOB

Το Input/Output Block (IOB) παρέχει μία προγραμματιζόμενη διασύνδεση για δύο ή περισσότερες κατευθύνσεις μεταξύ ενός pin του ολοκληρωμένου και της εσωτερικής λογικής του FPGA. Το IOB είναι παρόμοιο με αυτό της οικογένειας Spartan-3 με τις παρακάτω διαφορές:

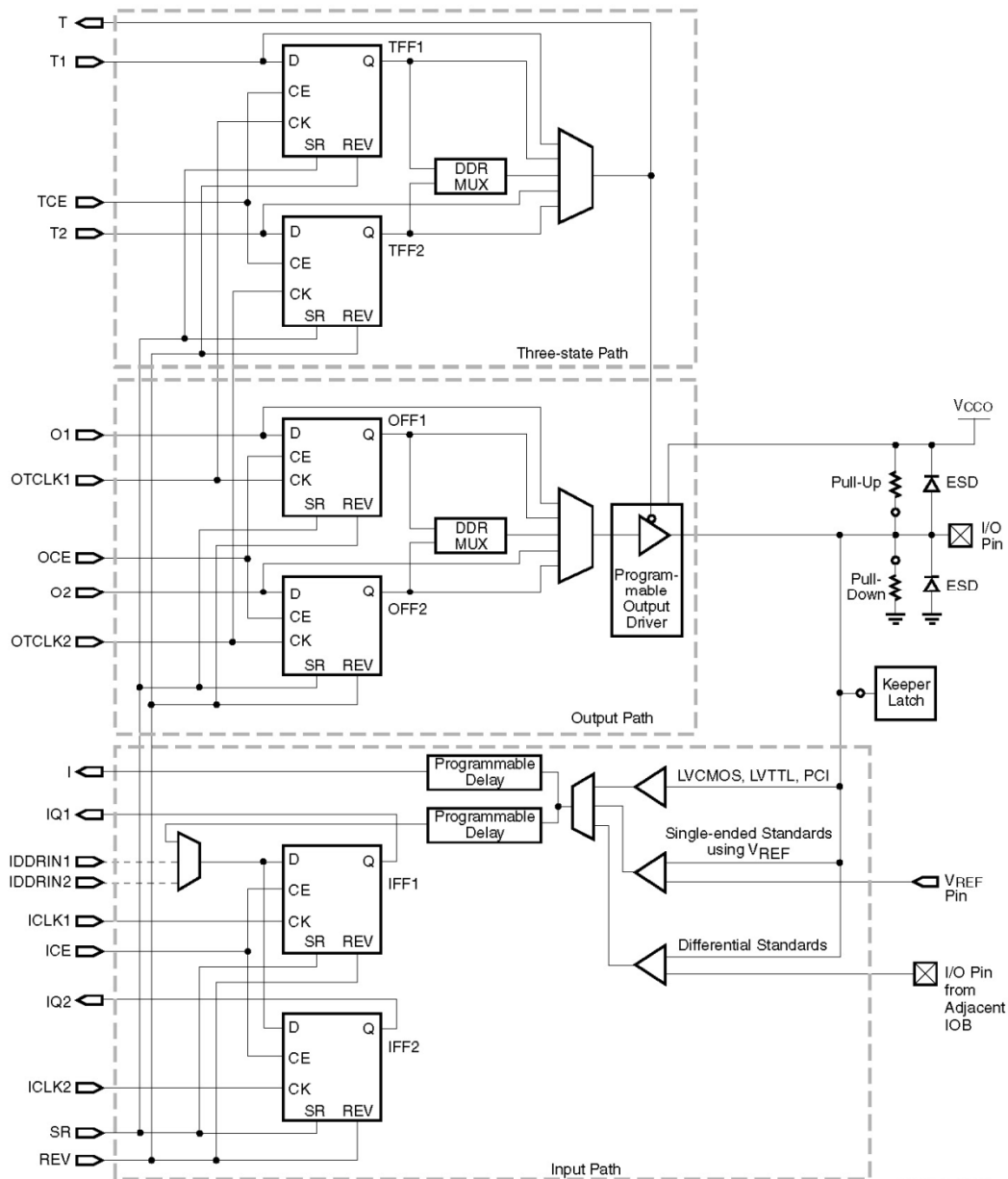
- Έχουν προστεθεί blocks μόνο εισόδου
- Έχουν προστεθεί καθυστερήσεις εισόδου σε όλα τα blocks
- Τα DDR flip-flops μπορούν να μοιραστούν μεταξύ γειτονικών IOBs

Το Block εισόδου πολλαπλής κατεύθυνσης έχει ένα υποσύνολο των πλήρων ικανοτήτων του IOB. Ωστόσο δεν υπάρχουν συνδέσεις ή λογική για ένα μονοπάτι εξόδου. Οι επόμενες παράγραφοι προϋποθέτουν ότι οποιαδήποτε αναφορά στη λειτουργικότητα εξόδου δεν εφαρμόζεται σε Block μόνο εισόδου. Ο αριθμός των Block μόνο εισόδου ποικίλει ανάλογα με το μέγεθος της συσκευής, αλλά δεν ξεπερνάει ποτέ το 25% του συνολικού IOB.

Στο Σχήμα A.1.3.2 φαίνεται ένα απλοποιημένο διάγραμμα της εσωτερικής δομής του IOB. Υπάρχουν τρία κύρια μονοπάτια σημάτων μέσα στο IOB: το μονοπάτι εξόδου, το μονοπάτι εισόδου και το μονοπάτι τριών καταστάσεων. Κάθε μονοπάτι έχει το δικό του ζευγάρι αποθηκευτικών στοιχείων, τα οποία συμπεριφέρονται είτε ως καταχωρητές, είτε ως **latches**. Τα τρία κύρια μονοπάτια σημάτων είναι τα ακόλουθα:

- Το μονοπάτι εισόδου μεταφέρει τα δεδομένα από το pad, το οποίο είναι εφαρμοσμένο στο pin συσκευασίας, δια μέσου ενός προαιρετικού στοιχείου προγραμματιζόμενης καθυστέρησης απευθείας στη γραμμή I. Μετά από το στοιχείο καθυστέρησης υπάρχουν τρεις εναλλακτικές δρομολογήσεις μέσω ενός ζευγαριού από στοιχεία αποθήκευσης στις γραμμές IQ1 και IQ2. Οι έξοδοι του IOB, IQ1 και IQ2 οδηγούν στην εσωτερική λογική των FPGA's. Το στοιχείο καθυστέρησης μπορεί να ρυθμιστεί για να διασφαλίσει την αρχικοποίηση.
- Το μονοπάτι εξόδου, ξεκινώντας από τις γραμμές O1 και O2, μεταφέρει τα δεδομένα από την εσωτερική λογική του FPGA's μέσω ενός πολυπλέκτη και μετά καταχωρητής τριών καταστάσεων τα οδηγεί στο IOB pad. Ως προσθήκη σ' αυτό το απευθείας μονοπάτι ο πολυπλέκτης παρέχει την επιλογή της εισαγωγής ενός ζευγαριού από αποθηκευτικά στοιχεία.
- Το μονοπάτι τριών καταστάσεων αποφασίζει πότε ο οδηγός εξόδου βρίσκεται σε υψηλή εμπέδηση. Οι γραμμές T1 και T2 μεταφέρουν δεδομένα από την εσωτερική λογική των FPGA's μέσω ενός πολυπλέκτη στον οδηγό εξόδου. Ως προσθήκη σ' αυτό το απευθείας μονοπάτι ο πολυπλέκτης παρέχει την επιλογή της εισαγωγής ενός ζευγαριού από αποθηκευτικά στοιχεία.

- Όλα τα μονοπάτια σημάτων που εισάγονται στο IOB, συμπεριλαμβανομένων κι αυτών που συνεργάζονται με τα αποθηκευτικά στοιχεία, έχουν επιλογή αναστροφής. Κάθε αναστροφέας που τοποθετείται σ' αυτά τα μονοπάτια απορροφάται αυτόματα μέσα στο IOB.



Σχήμα A.1.3.2 Απλοποιημένο διάγραμμα IOB

Σημειώσεις:

1. Όλοι οι έλεγχοι των IOB και τα μονοπάτια σημάτων εξόδου έχουν επιλογή αντεστραμμένης πολικότητας μέσα στο IOB.
2. Τα σήματα IDDRIN1/IDDRIN2 που φαίνονται με διακεκομμένες γραμμές συνδέονται σε γειτονικά IOB σε ένα διαφορετικό ζευγάρι μόνο, όχι στη δομή του FPGA.

Λειτουργίες καθυστέρησης εισόδου

Κάθε IOB έχει ένα προγραμματιζόμενο block καθυστέρησης, το οποίο κατ' επιλογήν μπορεί να καθυστερήσει το σήμα εισόδου από 0 έως περίπου 5.8 ns. Στο Σχήμα A.1.3.3, το σήμα καθυστερείται από μία αρχική καθυστέρηση είτε 0, είτε περίπου 1 έως 3 ns. Το εύρος εξαρτάται από τη συγκεκριμένη σειρά Spartan-3E FPGA που χρησιμοποιείται. Η αρχική καθυστέρηση τροφοδοτεί έπειτα μία γραμμή

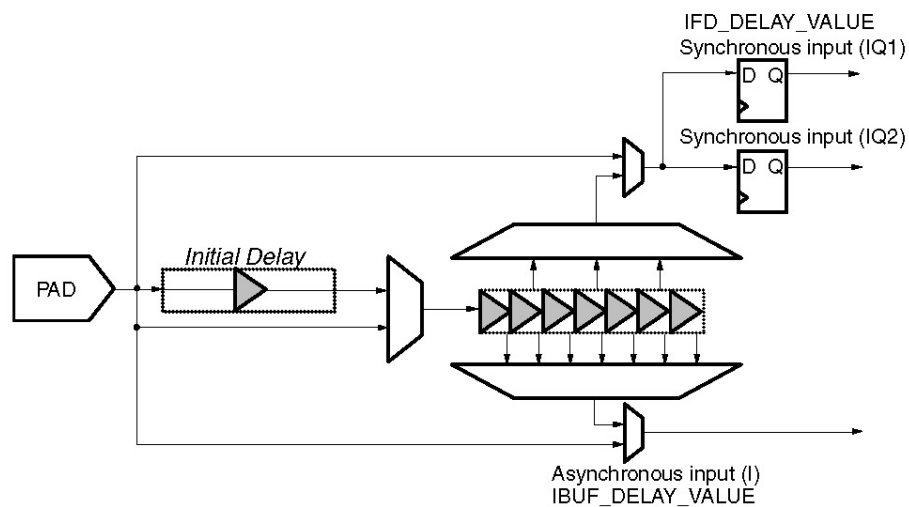
καθυστέρησης 7-χτύπων. Αυτή η γραμμή καθυστέρησης έχει μία τιμή 250ps ανά χτύπο, η οποία εξαρτάται επίσης κατά κάποιον τρόπο από τη δομή. Και οι 7 χτύποι διατίθενται σε έναν πολυπλέκτη ο οποίος τα χρησιμοποιεί ως μία ασύγχρονη είσοδο κατευθείαν στη δομή του FPGA. Με αυτόν τον τρόπο η καθυστέρηση είναι προγραμματιζόμενη από 0 έως περίπου 5.8 ns με περίπου 250 ps βήματα. Τρεις από τους 7 χτύπους είναι διαθέσιμοι σε ένα πολυπλέκτη, στις D εισόδους των σύγχρονων αποθηκευτικών στοιχείων. Η πρώτη μεγάλη καθυστέρηση είναι κοινή και για τα σύγχρονα και για τα ασύγχρονα μονοπάτια και πρέπει είτε να χρησιμοποιείται και από τα δύο μονοπάτια, είτε από κανένα.

Οι τιμές καθυστέρησης ορίζονται στη διάρκεια του χρόνου των ρυθμίσεων και είναι μη τροποποιήσιμες κατά τη διάρκεια της χρήσης της συσκευής.

Στην αρχική χρήση πρέπει να προσαρμοστεί η καθυστέρηση στην είσοδο, έτσι ώστε να διασφαλιστεί ότι δεν απαιτείται χρόνος αναμονής όταν χρησιμοποιείται η είσοδος flip-flop(s) με ένα **global clock**. Η τιμή προεπιλογής επιλέγεται αυτόματα από τα εργαλεία λογισμικού της Xilinx, καθώς η τιμή εξαρτάται από το μέγεθος της συσκευής και τα συγκεκριμένα όρια στα οποία βρίσκονται τα flip-flop(s). Η τιμή που ορίζεται από το λογισμικό της Xilinx ISE και τα αποτελέσματα που προκύπτουν στο χρονισμό εισόδου αναφέρονται χρησιμοποιώντας το εργαλείο Timing Analyzer.

Εάν το σχέδιο χρησιμοποιεί **DCM** στο μονοπάτι του clock, τότε μπορεί με ασφάλεια ως στοιχείο καθυστέρησης να οριστεί το 0, καθώς η καθυστέρηση κλειστού βρόγχου (**DLL**) διασφαλίζει πως δεν απαιτείται χρόνος αναμονής στην είσοδο.

Τόσο οι ασύγχρονες, όσο και οι σύγχρονες τιμές μπορούν να τροποποιηθούν, κάτι το οποίο είναι χρήσιμο όταν απαιτείται επιπλέον καθυστέρηση στο clock ή στην είσοδο δεδομένων, για παράδειγμα σε διασυνδέσεις διάφορων τύπων RAM.



Σχήμα A.1.3.3 Προγραμματιζόμενα σταθερά στοιχεία καθυστέρησης εισόδου

Λειτουργίες αποθηκευτικών στοιχείων

Υπάρχουν τρία ζευγάρια αποθηκευτικών στοιχείων σε κάθε IOB, ένα ζευγάρι για κάθε ένα από τα μονοπάτια. Είναι δυνατόν να ρυθμιστεί κάθε ένα από αυτά τα αποθηκευτικά στοιχεία ως ένα D-τύπου flip-flop (**FD**) σκανδαλιζόμενης πλευράς, ή ως ένα ευαίσθητου επιπέδου latch (**LD**).

Τα ζευγάρια αποθηκευτικών στοιχείων είτε πάνω στο μονοπάτι εξόδου, είτε πάνω στο μονοπάτι τριών καταστάσεων, μπορούν να χρησιμοποιηθούν μαζί με έναν ειδικό πολυπλέκτη για να παράγουν εκπομπή δεδομένων διπλού επιπέδου (**Double-Data-Rate (DDR)**).

Αυτό επιτυγχάνεται παίρνοντας δεδομένα συγχρονισμένα με το ανοδικό άκρο του σήματος του clock και μετατρέποντας τα σε bits τα οποία είναι συγχρονισμένα

τόσο με το ανοδικό, όσο και με το καθοδικό άκρο. Ο συνδυασμός δύο καταχωρητών και ενός πολυπλέκτη αναφέρεται ως **Double-Data-Rate** D-τύπου flip-flop (**ODDR2**).

Ο Πίνακας A.1.3.3 περιγράφει τα μονοπάτια των σημάτων που σχετίζονται με τα αποθηκευτικά στοιχεία.

Πίνακας A.1.3.3 Περιγραφή Σημάτων Αποθηκευτικών Στοιχείων

Σήματα Αποθηκευτικών Στοιχείων	Περιγραφή	Λειτουργία
D	Είσοδος δεδομένων	Τα δεδομένα αυτής της εισόδου αποθηκεύονται στο ενεργό edge του CK και ενεργοποιούνται με το CE. Για λειτουργία latch όταν η είσοδος είναι ενεργοποιημένη τα δεδομένα οδηγούνται απευθείας στην έξοδο Q.
Q	Έξοδος δεδομένων	Τα δεδομένα αυτής της εξόδου απεικονίζουν την κατάσταση του αποθηκευτικού στοιχείου. Για λειτουργία latch σε transparent μέθοδο η έξοδος Q απεικονίζει τα δεδομένα της εισόδου D.
CK	Είσοδος Clock	Τα δεδομένα φορτώνονται μέσα στο αποθηκευτικό στοιχείο στο ενεργό edge αυτής της εισόδου όταν επιβεβαιωθεί ότι το CE.
CE	Είσοδος Clock Enable	Όταν ενεργοποιηθεί αυτή η είσοδος ενεργοποιεί και το CK. Αν είναι ασύνδετο το CE προεπιλέγεται η επιβεβαιωμένη κατάσταση.
SR	Είσοδος Set/Reset	Αυτή η είσοδος εξαναγκάζει το στοιχείο αποθήκευσης σε μια προσδιορισμένη κατάσταση από τις ιδιότητες SRHIGH/SRLOW. Η ρύθμιση των ιδιοτήτων SYNC/ASync καθορίζει αν η είσοδος SR είναι συγχρονισμένη με το clock ή όχι. Αν και το SR και το REV είναι ενεργά την ίδια στιγμή, το στοιχείο αποθήκευσης παίρνει την τιμή 0.
REV	Είσοδος Αντιστροφής	Αυτή η είσοδος χρησιμοποιείται μαζί με την είσοδο SR. Εξαναγκάζει το αποθηκευτικό στοιχείο να πάει σε μια κατάσταση αντίθετη από ό,τι κάνει η SR. Η ρύθμιση των ιδιοτήτων SYNC/ASync καθορίζει αν η είσοδος REV είναι συγχρονισμένη με το clock ή όχι. Αν και το SR και το REV είναι ενεργά την ίδια στιγμή, το στοιχείο αποθήκευσης παίρνει την τιμή 0.

Όπως φαίνεται και στο Σχήμα A.1.3.2, οι επάνω καταχωρητές στην έξοδο και στα μονοπάτια τριών καταστάσεων μοιράζονται ένα κοινό clock. Το **OTCLK1** σήμα οδηγεί τις **CK** εισόδους του clock των επάνω καταχωρητών στην έξοδο και στα μονοπάτια τριών καταστάσεων. Παρομοίως, το **OTCLK2** οδηγεί τις **CK** εισόδους των κάτω καταχωρητών στην έξοδο και στα μονοπάτια τριών καταστάσεων. Οι επάνω και οι κάτω καταχωρητές στο μονοπάτι εισόδου έχουν ανεξάρτητες γραμμές clock: **ICLK1** και **ICLK2**.

Η **OCE** γραμμή ελέγχει τα εισερχόμενα **CE** των επάνω και κάτω καταχωρητών στο μονοπάτι της εξόδου. Παρομοίως, το **TCE** ελέγχει τα εισερχόμενα **CE** για το ζευγάρι των καταχωρητών που βρίσκονται στο μονοπάτι τριών καταστάσεων και το **ICE** κάνει το ίδιο ακριβώς για το ζευγάρι καταχωρητών που βρίσκεται στο μονοπάτι της εισόδου.

Η γραμμή Set/Reset (**SR**) καθώς εισέρχεται στο IOB ελέγχει και τους έξι καταχωρητές, εφόσον είναι η ανάστροφη γραμμή (**REV**).

Εκτός από τους ελεγκτές πολικότητας σήματος, το οποίο περιγράφεται στην **Επισκόπηση των IOB**, κάθε στοιχείο αποθήκευσης στηρίζει επιπλέον τους ελεγκτές που περιγράφεται στον Πίνακα A.1.3.4.

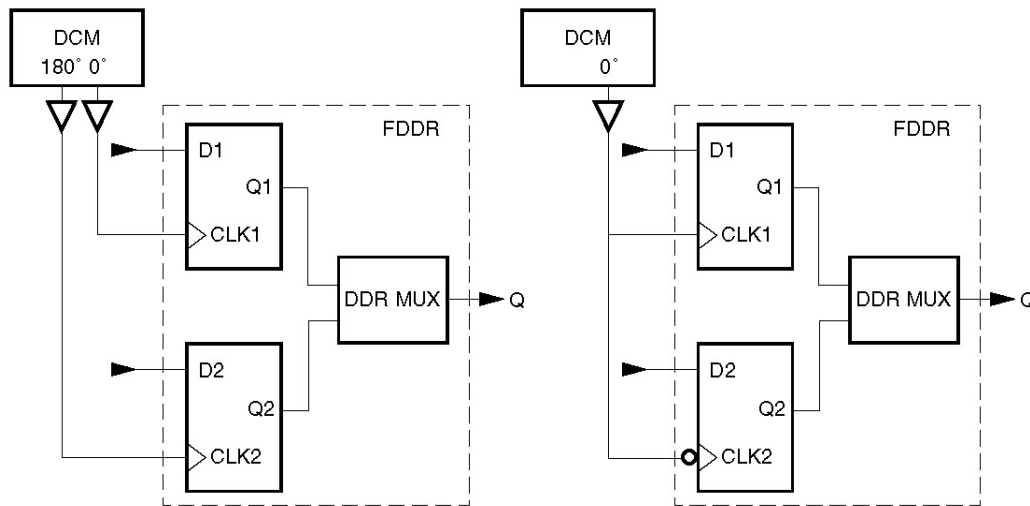
Πίνακας A.1.3.4 Επιλογές Αποθηκευτικών Στοιχείων

Διακόπτες Επιλογής	Λειτουργία	Ιδιαιτερότητα
FF/Latch	Επιλέγει μεταξύ ενός flip-flop σκανδαλιζόμενης πλευράς ή ενός latch ευαίσθητων επιπέδων	Ανεξάρτητο για το κάθε αποθηκευτικό στοιχείο
SYNC/ASYN	Αποφασίζει πότε ο έλεγχος SR set/reset είναι σύγχρονος ή ασύγχρονος	Ανεξάρτητο για το κάθε αποθηκευτικό στοιχείο
SRHIGH/SRLOW	Αποφασίζει πότε το SR ενεργεί ως Set, οπότε εξαναγκάζει το αποθηκευτικό στοιχείο σε λογικό "1" (SRHIGH) ή ως Reset, οπότε το εξαναγκάζει σε λογικό "0" (SRLOW)	Ανεξάρτητο για το κάθε αποθηκευτικό στοιχείο, εκτός από όταν χρησιμοποιείται το ODDR2. Στη δεύτερη περίπτωση, η επιλογή επάνω στοιχείου θα εφαρμοστεί και στα δυο στοιχεία.
INIT1/INIT0	Όταν το Global Set/Reset (GSR) υπαρκτό ή μετά από ρύθμιση αυτή η επιλογή καθορίζει την αρχική κατάσταση του αποθηκευτικού στοιχείου, είτε σε set (INIT1) είτε σε reset (INIT0). Κανονικά, διαλέγοντας SRLOW επιλέγεται το INIT0 και διαλέγοντας SRHIGH επιλέγεται το INIT1 .	Ανεξάρτητο για το κάθε αποθηκευτικό στοιχείο, εκτός από όταν χρησιμοποιείται το ODDR2, το οποίο χρησιμοποιεί δυο IOBs. Στην περίπτωση του ODDR2, επιλέγοντας INIT0 για το ένα από τα IOBs εφαρμόζεται και στα δυο στοιχεία μέσα στο IOB, μολονότι το INIT1 θα μπορούσε να επιλεγεί για τα στοιχεία του άλλου IOB.

Μετάδοση Διπλού Ρυθμού Δεδομένων (Double-Data-Rate)

Η εκπομπή **DDR** περιγράφει την τεχνική του συγχρονισμού σήματος τόσο στην άνοδο, όσο και στην κάθοδο του παλμού του σήματος του clock. Οι συσκευές Spartan-3E χρησιμοποιούν ζευγάρια καταχωρητών και στα τρία μονοπάτια των IOB, με σκοπό να εκτελέσουν **DDR** χειρισμούς.

Το ζευγάρι των στοιχείων αποθήκευσης στο μονοπάτι εξόδου του IOB, (**OFF1** και **OFF2**), τα οποία χρησιμοποιούνται ως καταχωρητές, συνδυάζονται με έναν ειδικό πολυπλέκτη ώστε να σχηματιστεί ένα DDR D-τύπου flip-flop (**ODDR2**). Αυτή η αρχή επιτρέπει την μετάδοση DDR όπου τα bit δεδομένων της εξόδου συγχρονίζονται και με την άνοδο και με την κάθοδο του παλμού του clock. Η DDR διαδικασία απαιτεί σήματα από δύο clock (συνήθως 50% duty cycle), το ένα με ανεστραμμένη μορφή από το άλλο. Αυτά τα σήματα σκανδαλίζουν τους δύο καταχωρητές σε εναλλασσόμενη φάση όπως φαίνεται στο Σχήμα A.1.3.4. Ο Digital Clock Manager (**DCM**) παράγει τα δύο σήματα clock αντιστρέφοντας ένα εισερχόμενο σήμα και μετατοπίζοντας το κατά 180°. Αυτή η προσέγγιση διασφαλίζει ελάχιστη ολίσθηση μεταξύ των δύο σημάτων. Εναλλακτικά ο αναστροφέας μέσα στο IOB μπορεί να χρησιμοποιηθεί για να αντιστραφεί το σήμα του clock, χρησιμοποιώντας ωστόσο μόνο μία γραμμή του clock και την άνοδο και την κάθοδο του παλμού αυτής της γραμμής του clock, όσο και τα δύο clocks για τα DDR flip-flops.



Σχήμα A.1.3.4 Δυο μέθοδοι χρονισμού του καταχωρητή DDR

Το ζευγάρι αποθηκευτικών στοιχείων στο μονοπάτι τριών καταστάσεων (**TFF1** και **TFF2**) μπορεί επίσης να συνδυαστεί με έναν τοπικό πολυπλέκτη για να σχηματίσουν ένα πρωτογενές DDR. Αυτό επιτρέπει το συγχρονισμό της εξόδου με την άνοδο και την κάθοδο του παλμού ενός clock. Αυτός ο χειρισμός DDR πραγματοποιείται με τον ίδιο τρόπο όπως και το μονοπάτι της εξόδου.

Το ζευγάρι αποθηκευτικών στοιχείων στο μονοπάτι της εισόδου (**IFF1** και **IFF2**) επιτρέπει σε ένα I/O να δέχεται σήμα DDR. Ένα εισερχόμενο σήμα clock DDR σκανδαλίζει έναν καταχωρητή και το ανεστραμμένο σήμα του clock σκανδαλίζει τον άλλο καταχωρητή. Οι καταχωρητές περιστρέφονται αιχμαλωτίζοντας bits του εισερχόμενου σήματος δεδομένων DDR. Το πρωτογενές που επιτρέπει τη λειτουργικότητα αυτή λέγεται **IDDR2**.

Εκτός από τη μεταφορά υψηλού εύρους ζώνης δεδομένων, οι έξοδοι DDR μπορούν επίσης να χρησιμοποιηθούν για να αναπαράγουν, ή να δημιουργήσουν *ανεστραμμένο*, ένα σήμα clock στην έξοδο. Αυτή η προσέγγιση χρησιμοποιείται για την ταυτόχρονη αναμετάδοση σημάτων clock και δεδομένων (*source synchronously*). Μία παρόμοια προσέγγιση χρησιμοποιείται για να αναπαράγει ένα σήμα clock σε πολλαπλές εξόδους. Το πλεονέκτημα και των δύο προσεγγίσεων είναι ότι η ολίσθηση στις εξόδους είναι η ελάχιστη δυνατή.

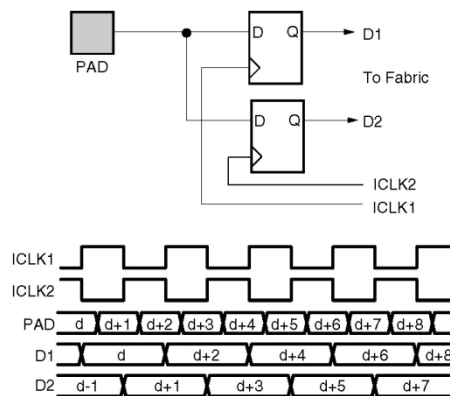
Register Cascade Feature

Στην οικογένεια Spartan-3E, ένα από τα IOBs μέσα σε ένα διαφορετικό ζευγάρι μπορεί να βάλει σε σειρά τα στοιχεία αποθήκευσης της εισόδου μαζί με τον άλλο IOB ως μέρος ενός διαφορετικού ζευγαριού. Αυτό είχε ως σκοπό να κάνει το χειρισμό DDR σε υψηλές ταχύτητες, πολύ ευκολότερο στην εφαρμογή. Οι νέες συνδέσεις DDR που είναι διαθέσιμες όπως φαίνονται στο σχήμα A.1.3.2 (διακεκομμένες γραμμές), και οι οποίες είναι διαθέσιμες μόνο για δρομολόγηση μεταξύ των IOBs και είναι μη προσβάσιμες στην δομή του FPGA. Σημειώστε πως αυτό το χαρακτηριστικό είναι διαθέσιμο μόνο όταν χρησιμοποιείται διαφορετικό I/O.

IDDR2

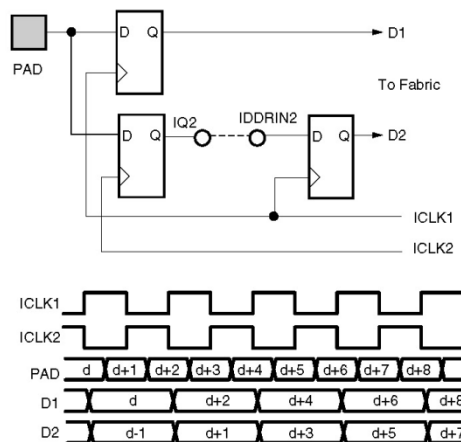
Όπως ένα ζευγάρι εισόδου DDR, το κύριο IOB καταγράφει εισερχόμενα δεδομένα στην άνοδο του **ICLK1** (= **D1**) και στην άνοδο του **ICLK2** (= **D2**), τα οποία είναι τυπικά τα ίδια με την κάθοδο του **ICLK1**. Αυτά τα δεδομένα μεταφέρονται μετά στην δομή του FPGA. Σε κάποια στιγμή και τα δύο σήματα πρέπει βρεθούν στην δικαιοδοσία του ίδιου clock, τυπικά στο **ICLK1**. Αυτό μπορεί να είναι δύσκολο στις υψηλές συχνότητες γιατί ο διαθέσιμος χρόνος είναι μόνο το μισό ενός κύκλου του

clock περίπου ένα duty cycle 50%. Δείτε στο Σχήμα A.1.3.5 για γραφική απεικόνιση αυτής της λειτουργίας.



Σχήμα A.1.3.5 Είσοδος DDR (χωρίς δυνατότητα Αλυσίδας σε Σειρά)

Στη συσκευή Spartan-3E, το σήμα **D2** μπορεί να μπει σε σειρά μέσα στο στοιχείο αποθήκευσης του παρακείμενου slave IOB. Εκεί επανακαταχωρείται στο **ICLK1**, και μόνο τότε τροφοδοτείται στην δομή του FPGA όπου τώρα είναι ήδη στην ίδια δικαιοδοσία χρονισμού όπως και το **D1**. Εδώ η δομή του FPGA χρησιμοποιεί μόνο το clock **ICLK1** για να επεξεργαστεί τα δεδομένα που έχει παραλάβει. Δείτε στο Σχήμα A.1.3.6 για γραφική απεικόνιση αυτής της λειτουργίας.



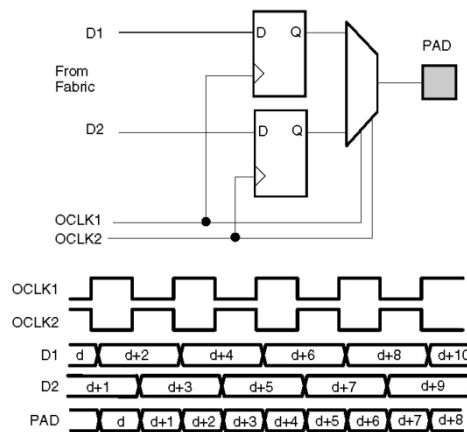
Σχήμα A.1.3.6 Είσοδος DDR χρησιμοποιώντας τη δυνατότητα των Spartan-3E για Αλυσίδα σε Σειρά

ODDR2

Όπως ένα ζευγάρι εξόδου DDR, το κύριο IOB καταγράφει δεδομένα που έρχονται από την δομή του FPGA στην άνοδο του **OCLK1** (= **D1**) και στην άνοδο του **OCLK2** (= **D2**), που είναι τυπικά το ίδιο με την κάθοδο του **OCLK1**. Αυτά τα δύο bits δεδομένων πολυπλέκονται από τον πολυπλέκτη DDR και στέλνονται στο pin της εξόδου. Το σήμα δεδομένων **D2** πρέπει να επανασυγχρονιστεί από την **OCLK1** δικαιοδοσία clock στη δικαιοδοσία **OCLK2** χρησιμοποιώντας μέρη από τα flip-flops του FPGA. Η τοποθέτηση είναι σημαντική στις υψηλές συχνότητες γιατί ο διαθέσιμος χρόνος είναι μόνο το μισό ενός κύκλου του clock. Δείτε το Σχήμα A.1.3.7 για γραφική απεικόνιση αυτής της λειτουργίας.

Προσοχή! Το C0 ή το C1 χαρακτηριστικό ευθυγράμμισης του ODDR2 flip-flop, το οποίο αρχικά έγινε γνωστό στην οικογένεια Spartan-3E FPGA, δε συστήνεται ούτε υποστηρίζεται στην ISE ανάπτυξη λογισμικού. Το ODDR2 flip-flop χωρίς το χαρακτηριστικό ευθυγράμμισης

υποστηρίζεται πλήρως. Χωρίς το χαρακτηριστικό ευθυγράμμισης, το χαρακτηριστικό ODDR2 συμπεριφέρεται ισοδύναμα με το ODDR flip-flop σε προηγούμενες οικογένειες Xilinx FPGA.



Σχήμα A.1.3.7 Έξοδος DDR

Πρότυπα σήματα SelectIO

Το χαρακτηριστικό των I/Os των Spartan-3E είναι ότι έχουν εισόδους και εξόδους οι οποίες υποστηρίζουν ένα μεγάλο εύρος πρότυπων σημάτων I/O (Πίνακας A.1.3.5 και Πίνακας A.1.3.6). Η πλειοψηφία των I/Os μπορούν επίσης να χρησιμοποιηθούν για να σχηματίσουν διαφορεικά ζευγάρια τα οποία υποστηρίζουν οποιοδήποτε από τα διαφορεικά πρότυπα σημάτων (Πίνακας A.1.3.6).

Πίνακας A.1.3.5 Συμβατότητα απλής IOSTANDARD ζώνης

Single-Ended IOSTANDARD	Τροφοδοσία/Συμβατότητα V_{CCO}					Απαιτήσεις Εισόδου Board Termination Voltage (V_{TT})	
	1.2V	1.5V	1.8V	2.5V	3.3V	V_{REF}	
LVTTL	-	-	-	-	I/O	N/R ⁽¹⁾	N/R
LVC MOS33	-	-	-	-	I/O	N/R	N/R
LVC MOS25	-	-	-	I/O	I	N/R	N/R
LVC MOS18	-	-	I/O	I	I	N/R	N/R
LVC MOS15	-	I/O	I	I	I	N/R	N/R
LVC MOS12	I/O	I	I	I	I	N/R ⁽¹⁾	N/R
PCI33_3	-	-	-	-	I/O	N/R	N/R
PCI66_3	-	-	-	-	I/O	N/R	N/R
PCIX					I/O	N/R	N/R
HSTL_I_18	-	-	I/O	I	I	0.9	0.9
HSTL_III_18	-	-	I/O	I	I	1.1	1.8
SSTL18_I	-	-	I/O	I	I	0.9	0.9
SSTL2_I	-	-	-	I/O	I	1.25	1.25

N/R. Δεν απαιτείται

1. Δεν απαιτείται για λειτουργία εισόδου

Για να προσδιοριστεί το πρότυπο σήματος I/O σε ένα σχέδιο, ρυθμίστε τις ιδιότητες του **IOSTANDARD** στις κατάλληλες ρυθμίσεις. Η Xilinx παρέχει ποικιλία διαφορετικών μεθόδων προκειμένου να εφαρμοστεί στο **IOSTANDARD** μέγιστη ευελιξία. Για πλήρη περιγραφή των εφαρμοζόμενων ιδιοτήτων για έλεγχο του **IOSTANDARD**, αποταθείτε στο “Entry Strategies for Xilinx Constraints” στα εγχειρίδια λογισμικού και τη Βοήθεια της Xilinx.

Τα Spartan-3E FPGAs παρέχουν επιπλέον ευελιξία εισόδου επιτρέποντας στα πρότυπα I/O να αναμειγνύονται σε διαφορετικές ζώνες. Για μια συγκεκριμένη τροφοδοσία V_{CC0} , ο Πίνακας A.1.3.5 και ο Πίνακας A.1.3.6 παραθέτουν σε λίστα όλα τα IOSTANDARDS που μπορούν να συνδυαστούν και εάν το IOSTANDARD υποστηρίζεται μόνο σαν είσοδος ή μπορεί να χρησιμοποιηθεί τόσο σαν είσοδος όσο και σαν έξοδος.

Πίνακας A.1.3.6 Συμβατότητα διαφορικής IOSTANDARD ζώνης

Διαφορικό IOSTANDARD	Τροφοδοσία V_{CC0}			Απαιτήσεις Εισόδου: V_{REF}	Περιορισμοί διαφορικών σημάτων ⁽¹⁾
	1.8V	2.5V	3.3V		
LVDS_25	I	I/O ⁽²⁾	I	Η V_{REF} δε χρησιμοποιείται σ' αυτά τα I/O standards	Ισχύουν μόνο για εξόδους
RSDS_25	I	I/O ⁽²⁾	I		Ισχύουν μόνο για εξόδους
MINI_LVDS_25	I	I/O ⁽²⁾	I		Ισχύουν μόνο για εξόδους
LVPECL_25	I	I	I		Κανένας περιορισμός στα διαφορικά σήματα. Άλλοι περιορισμοί για την I/O Bank μπορεί να ισχύουν.
BLVDS_25	I	I/O	I		
DIFF_HSTL_I_18	I/O	I	I		
DIFF_HSTL_III_18	I/O	I	I		
DIFF_SSTL18_I	I/O	I	I		
DIFF_SSTL2_I	I	I/O	I		

Σημειώσεις:

1. Κάθε ζώνη μπορεί να υποστηρίξει οποιαδήποτε δυο από τα παρακάτω: LVDS_25 έξοδοι, MINI_LVDS_25 έξοδοι, RSDS_25 έξοδοι.
2. Εσωτερικός διαφορικός τερματισμός

Οι είσοδοι HSTL και SSTL χρησιμοποιούν την τάση αναφοράς (V_{REF}) για να πολώσουν το κατώφλι της μεταγωγής εισόδου. Από τη στιγμή που φορτώνεται ένα αρχείο με δεδομένα ρυθμίσεων στο FPGA, το οποίο καλεί τα I/Os μίας δεδομένης ζώνης να χρησιμοποιήσουν το σήματα HSTL/SSTL, μερικά ειδικά δεσμευμένα I/O pins της ίδιας ζώνης αυτόματα μετατρέπονται σε εισόδους V_{REF} . Για ζώνες που δεν περιέχουν HSTL ή SSTL σήματα, τα V_{REF} pins παραμένουν διαθέσιμα για χρήση ως I/O pins ή pins εισόδου.

Τα πρότυπα διαφορικών σημάτων χρησιμοποιούν ένα ζευγάρι σημάτων, το ένα με αντίθετη πολικότητα από το άλλο. Οι ιδιότητες ακύρωσης του θορύβου, (π.χ. Common-Mode Rejection) των προτύπων αυτών, επιτρέπουν εξαιρετικά υψηλούς ρυθμούς μεταφοράς δεδομένων. Αυτή η υποενοότητα περιγράφει τις δυνατότητες των διαφορικών σημάτων των συσκευών Spartan-3E.

Κάθε συνδυασμός συσκευασίας ολοκληρωμένου υποδεικνύει συγκεκριμένα ζευγάρια I/O ειδικά βελτιωμένα για να υποστηρίζουν διαφορικά πρότυπα.

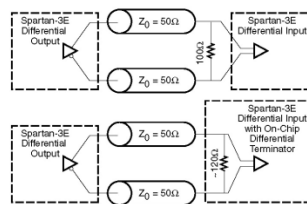
Τα ζευγάρια διαφορικών σημάτων μπορούμε να τα βρούμε στο Pin and Area Constraints Editor (PACE) με την επιλογή "Show Differential Pairs". Ένας μοναδικός *L-number*, μέρος του ονόματος του pin, ταυτοποιεί τα ζευγάρια των γραμμών που συσχετίζονται με κάθε ζώνη. Για κάθε ζευγάρι, τα γράμματα *P* και *N* υποδεικνύουν τις πραγματικές και τις αντίστροφες γραμμές αντίστοιχα. Για παράδειγμα, τα ονόματα των pin IO_L43P_3 και IO_L43N_3 υποδεικνύουν τις πραγματικές και αντίστροφες γραμμές συμπεριλαμβάνοντας το ζευγάρι γραμμών L43 στη ζώνη 3. Το V_{CC0} παρέχει ρεύμα στις εξόδους και επιπλέον ισχύ στο διαφορικό τερματισμό που υπάρχει εσωτερικά.

Το V_{CC0} πρέπει να είναι 2.5V όταν χρησιμοποιείται ο εσωτερικός διαφορικός τερματισμός. Οι γραμμές V_{REF} δεν απαιτούνται για διαφορικό χειρισμό. Για περαιτέρω κατανόηση του τρόπου συνδυασμού πολλαπλών IOSTANDARDS μέσα σε μια ζώνη, δείτε στο **Οργάνωση IOBs Μέσα σε Ζώνες**.

Εσωτερικός Διαφορικός Τερματισμός

Οι συσκευές Spartan-3E παρέχουν έναν διαφορικό τερματιστή εσωτερικά στη συσκευή (περίπου 120Ω) μεταξύ των άκρων της εισόδου του διαφορικού δέκτη. Ο διαφορικός τερματιστής της εισόδου στις συσκευές Spartan-3E είναι δυνατό να εξαλείψει την εξωτερική διαφορική αντίσταση 100Ω η οποία συναντάται συχνά σε διαφορικά κυκλώματα δεκτών. Ο διαφορικός τερματισμός χρησιμοποιείται για σήματα LVDS, mini-LVDS, και RSDS ανάλογα με τις απαιτήσεις της εφαρμογής. Ο εσωτερικός διαφορικός τερματισμός είναι διαθέσιμος στις ζώνες με $V_{CC0} = 2.5V$ και δεν υποστηρίζεται σε αφιερωμένα pins εισόδου. Θέτοντας την ιδιότητα DIFF_TERM ως TRUE ενεργοποιείται ο διαφορικός τερματισμός σε ένα ζευγάρι διαφορικών I/O pin. Η ιδιότητα DIFF_TERM χρησιμοποιεί την ακόλουθη σύνταξη στα UCF αρχεία:

```
INST <I/O_BUFFER_INSTANTIATION_NAME>
DIFF_TERM = "<TRUE/FALSE>";
```



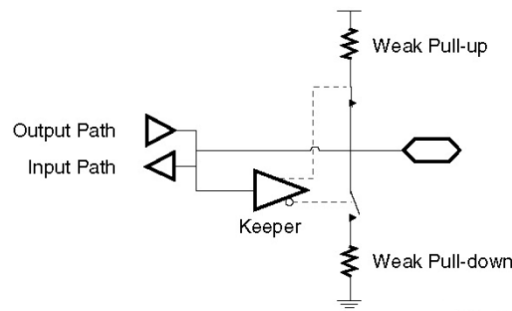
Σχήμα A.1.3.8 Διαφορικές Είσοδοι και έξοδοι

Pull-Up και Pull-Down Αντιστάσεις

Οι αντιστάσεις Pull-up και Pull-down μέσα σε κάθε IOB προαιρετικά αναγκάζουν ένα απροσδιόριστο σε στάθμη I/O ή μόνο εισόδου pin να έχει μία καθορισμένη κατάσταση. Οι αντιστάσεις Pull-up και Pull-down εφαρμόζονται συχνά σε μη χρησιμοποιούμενα I/Os, εισόδους, και εξόδους τριών καταστάσεων, αλλά μπορεί να χρησιμοποιηθούν και σε οποιοδήποτε I/O ή μόνο εισόδου pin. Η αντίσταση Pull-up είναι αυτή που συνδέει έναν IOB στο V_{CC0} . Η τιμή της αντίστασης εξαρτάται από την τάση V_{CC0} . Η αντίσταση Pull-down παρομοίως συνδέει ένα IOB στη γη. Οι ιδιότητες **PULLUP**, **PULLDOWN** και οι πρωτογενείς βιβλιοθήκες ενεργοποιούν αυτές τις προαιρετικές αντιστάσεις. Από προεπιλογή, οι **PULLDOWN** αντιστάσεις τερματίζουν όλα τα μη χρησιμοποιούμενα I/O και τα pins εισόδου. Τα μη χρησιμοποιούμενα I/O και τα pins εισόδου μπορούν εναλλακτικά να ρυθμιστούν ως **PULLUP** ή **FLOAT**. Για να αλλάξετε τη ρύθμιση για τα μη χρησιμοποιούμενα I/O Pad, ρυθμίστε την επιλογή Bitstream Generator (Bit-Gen) **UnusedPin** για **PULLUP**, **PULLDOWN**, ή **FLOAT**. Η επιλογή **UnusedPin** είναι προσβάσιμη μέσω των ιδιοτήτων του αρχείου Generate Programming στο ISE. Κατά τη διάρκεια της ρύθμισης μια χαμηλής στάθμης λογική στο **HSWAP** pin ενεργοποιεί τις pull-up αντιστάσεις πάνω σε όλα τα I/O και στα pins εισόδου που δε χρησιμοποιούνται ενεργά στην επιλεγμένη ρύθμιση.

Κύκλωμα Συγκράτησης

Κάθε I/O έχει ένα προαιρετικό κύκλωμα συγκράτησης (βλ. Σχήμα A.1.3.8) το οποίο βοηθάει τις γραμμές bus να αποφύγουν την έλλειψη λογικής στάθμης όταν αυτές δεν είναι ενεργές. Το κύκλωμα συγκράτησης διατηρεί το τελευταίο λογικό επίπεδο σε μία γραμμή όταν όλοι οι οδηγοί (drivers) έχουν κλείσει. Εφαρμόστε την ιδιότητα συγκράτησης ή χρησιμοποιείτε την **KEEPER** πρωτογενή βιβλιοθήκη για να χρησιμοποιήσετε τα στοιχεία κυκλώματος συγκράτησης. Οι Pull-up και οι pull-down αντιστάσεις αγνοούν τις ρυθμίσεις συγκράτησης.



Σχήμα A.1.3.9 Κύκλωμα συγκράτησης

Έλεγχος Slew Rate και Αντοχή Οδήγησης

Κάθε IOB έχει έναν έλεγχο slew-rate το οποίο ρυθμίζει το ρυθμό μεταγωγής των άκρων για τις εξόδους LVCMOS και LVTTL. Η ιδιότητα **SLEW** ελέγχει το slew rate και μπορεί είτε να ρυθμιστεί στο **SLOW** (προεπιλογή) είτε στο **FAST**.

Κάθε έξοδος LVCMOS και LVTTL υποστηρίζει επιπλέον μέχρι και έξι διαφορετικά επίπεδα ρεύματος οδήγησης όπως φαίνεται στον Πίνακα A.1.3.6. Για να προσαρμόσετε την αντοχή οδήγησης για κάθε έξοδο, η ιδιότητα **DRIVE** είναι ρυθμισμένη στο επιθυμητό επίπεδο: 2, 4, 6, 8, 12, και 16. Η προεπιλογή του λογισμικού IOSTANDARD είναι LVCMOS25, **SLOW** slew rate, και 12 mA οδήγηση εξόδου, εκτός αν έχει οριστεί διαφορετικά στην εφαρμογή του FPGA.

Πίνακας A.1.3.7 Προγραμματιζόμενη Οδήγηση Ρεύματος Εξόδου

IOSTANDARD	Οδήγηση Ρεύματος Εξόδου (mA)					
	2	4	6	8	12	16
LVTTL	✓	✓	✓	✓	✓	✓
LVCMOS33	✓	✓	✓	✓	✓	✓
LVCMOS25	✓	✓	✓	✓	✓	-
LVCMOS18	✓	✓	✓	✓	-	-
LVCMOS15	✓	✓	✓	-	-	-
LVCMOS12	✓	-	-	-	-	-

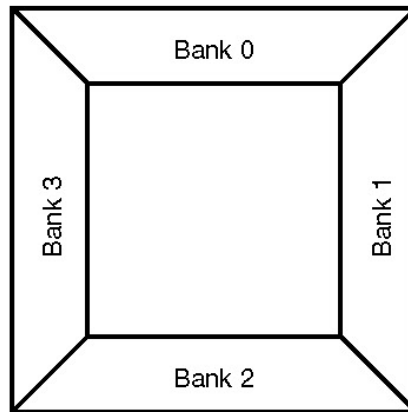
Υψηλό επίπεδο ρεύματος οδήγησης εξόδου και FAST slew rates εξόδου γενικά έχει ως αποτέλεσμα γρηγορότερη απόδοση του I/O. Ωστόσο, οι ίδιες αυτές ρυθμίσεις έχουν ως αποτέλεσμα διάφορα φαινόμενα που δημιουργούνται σε γραμμές μεταφοράς στο τυπωμένο κύκλωμα (PCB), εκτός από τα κοντύτερα ίχνη του τυπωμένου. Κάθε IOB έχει ανεξάρτητο slew rate και έλεγχο επιπέδου οδήγησης. Χρησιμοποιείτε το πιο αργό slew rate και το χαμηλότερο ρεύμα οδήγησης εξόδου, το οποίο ανταποκρίνεται στις απαιτήσεις απόδοσης για την τελική εφαρμογή.

Παρομοίως, εξαιτίας της βασικής αυτεπαγωγής, μια δεδομένη συσκευασία υποστηρίζει έναν περιορισμένο αριθμό ταυτόχρονων μεταγωγικών εξόδων (SSOs) όταν χρησιμοποιούνται γρήγορες, υψηλής οδήγησης ρεύματος έξοδοι. Χρησιμοποιείτε γρήγορες, υψηλής οδήγησης ρεύματος εξόδους μόνο όταν απαιτείται από την εφαρμογή.

Οργάνωση IOBs Μέσα σε ζώνες

Η αρχιτεκτονική των Spartan-3E οργανώνει τα IOBs σε τέσσερις I/O ζώνες όπως φαίνεται στο σχήμα A.1.3.9. Κάθε ζώνη διατηρεί ξεχωριστές V_{CCO} και V_{REF} τροφοδοσίες. Οι ξεχωριστές τροφοδοσίες επιτρέπουν σε κάθε ζώνη να ρυθμίζει ανεξάρτητα το V_{CCO} . Παρομοίως, οι τροφοδοσίες V_{REF} μπορούν να ρυθμιστούν για κάθε ζώνη. Αποταθείτε στον Πίνακα A.1.3.5 και Πίνακα A.1.3.6 για τις απαιτήσεις V_{CCO} και V_{REF} .

Όταν δουλεύετε με συσκευές Spartan-3E, τα περισσότερα από τα διαφορετικά πρότυπα I/O είναι συμβατά και μπορούν να συνδυαστούν μέσα σε οποιοδήποτε ζώνη. Κάθε ζώνη μπορεί να υποστηρίξει οποιαδήποτε δύο από τα παρακάτω διαφορετικά πρότυπα: LVDS_25 έξοδοι, MINI_LVDS_25 έξοδοι, και RSDS_25 έξοδοι. Για παράδειγμα, LVDS_25 έξοδοι, RSDS_25 έξοδοι, και οποιοσδήποτε άλλες διαφορετικές είσοδοι κατά τη διάρκεια χρήσης εσωτερικού διαφορικού τερματιστή είναι αποδεκτός συνδυασμός. Ο συνδυασμός που δεν επιτρέπεται είναι σε μια ζώνη με εξόδους LVDS_25, εξόδους RSDS_25, και εξόδους MINI_LVDS_25.



Σχήμα A.1.3.10 Spartan-3E I/O Ζώνες (επάνω όψη)

Κανόνες I/O σε Ζώνες

Όταν ορίζετε I/Os σε ζώνες, πρέπει να ακολουθούνται οι εξής κανόνες V_{CC0} :

1. Όλα τα V_{CC0} pins πάνω στο FPGA πρέπει να είναι συνδεδεμένα ακόμη και αν μια ζώνη δεν χρησιμοποιείται.
2. Όλες οι γραμμές V_{CC0} που σχετίζονται μεταξύ τους μέσα σε μια ζώνη πρέπει να είναι ρυθμισμένα στο ίδιο επίπεδο τάσης.
3. Τα επίπεδα V_{CC0} που χρησιμοποιούνται από όλα τα πρότυπα που έχουν οριστεί στα I/Os από οποιαδήποτε ζώνη πρέπει να συμφωνούν. Το λογισμικό ανάπτυξης της Xilinx το ελέγχει. Ο Πίνακας A.1.3.5 και ο Πίνακας A.1.3.6 περιγράφουν πώς διαφορετικά πρότυπα χρησιμοποιούν την τροφοδοσία V_{CC0} .
4. Αν μια ζώνη δεν έχει καθόλου V_{CC0} απαιτήσεις, συνδέστε το V_{CC0} σε μία διαθέσιμη τάση, όπως 2.5V ή 3.3V. Κάποιες ρυθμίσεις μπορεί να θέτουν επιπλέον V_{CC0} απαιτήσεις. Αποταθείτε στο **Configuration** για περισσότερες πληροφορίες.

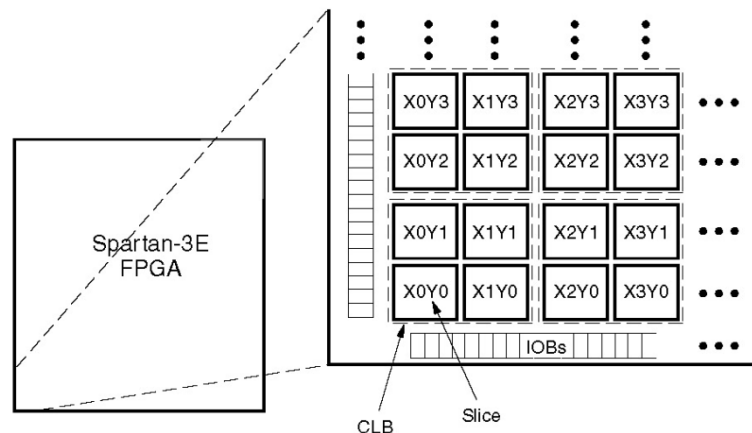
Αν κάποιο από τα πρότυπα που έχουν οριστεί στις εισόδους της ζώνης χρησιμοποιούν V_{REF} , τότε οι παρακάτω επιπρόσθετοι κανόνες πρέπει να τηρούνται:

1. Όλα τα V_{REF} pins πρέπει να είναι συνδεδεμένα μέσα σε μια ζώνη.
2. Όλες οι V_{REF} γραμμές που σχετίζονται με τη ζώνη πρέπει να είναι ρυθμισμένες στο ίδιο επίπεδο τάσης.
3. Όλα τα V_{REF} επίπεδα που χρησιμοποιούνται από όλα τα πρότυπα που έχουν οριστεί στις εισόδους της ζώνης πρέπει να συμφωνούν. Το λογισμικό ανάπτυξης της Xilinx το ελέγχει. Ο Πίνακας A.1.3.5 περιγράφει πώς διαφορετικά πρότυπα χρησιμοποιούν την τροφοδοσία V_{REF} . Αν η V_{REF} δεν απαιτείται, όλα τα συσχετιζόμενα V_{REF} pins μέσα στη ζώνη μπορούν να χρησιμοποιηθούν σαν I/Os ή pins εισόδου.

Configurable Logic Block (CLB) και πόροι των Slice

Επισκόπηση των CLB

Τα Configurable Logic Blocks (CLBs) αποτελούν τη βασική λογική πηγή για εφαρμογή τόσο σύγχρονων, όσο και συνδυαστικών κυκλωμάτων. Κάθε CLB περιέχει τέσσερα slices, και κάθε slice περιέχει δύο Look-Up Tables (LUTs) για την εφαρμογή λογικής και δύο αποκλειστικά στοιχεία αποθήκευσης που μπορούν να χρησιμοποιηθούν ως flip-flops ή ως μανδαλωτές (**latches**). Το LUTs μπορεί να χρησιμοποιηθεί ως μνήμη 16x1 (RAM16) ή ως 16-bit καταχωρητής ολίσθησης (SRL16), και ως επιπλέον πολυπλέκτες και μεταφέρουν απλοποιημένη ευρεία λογική και αριθμητικές λειτουργίες. Οι περισσότερες λογικές γενικής χρήσης σε ένα σχέδιο είναι αυτόματα χαρτογραφημένες στις πηγές των slices μέσα στα CLBs. Κάθε CLB είναι πανομοιότυπο, και η οικογένεια Spartan-3E με δομή CLB είναι πανομοιότυπη με αυτό για την οικογένεια Spartan-3.



Σχήμα A.1.3.11 Τοποθεσίες των CLB

Πίνακας CLB

Τα CLBs είναι τακτοποιημένα σε κανονικό πίνακα από σειρές και στήλες όπως φαίνεται στο Σχήμα A.1.3.10.

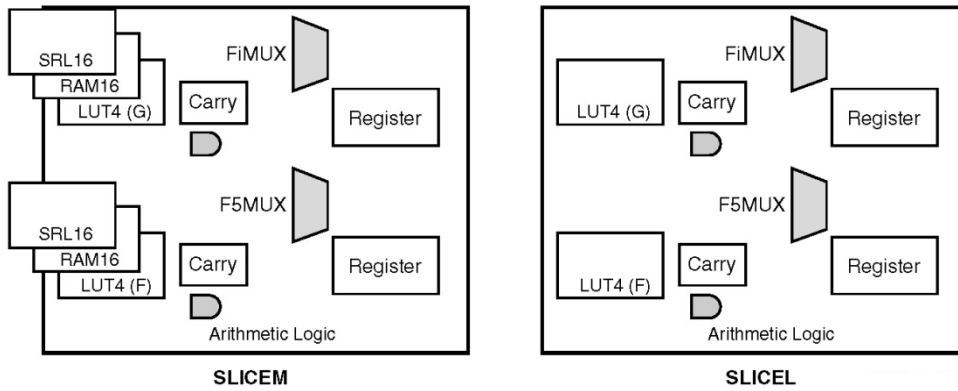
Επισκόπηση των Slices

Το slice περιλαμβάνει δυο γεννήτριες λειτουργίας LUT και δυο αποθηκευτικά στοιχεία, μαζί με επιπλέον λογική, όπως φαίνεται στο Σχήμα A.1.3.11. Το SLICEM και το SLICEL έχουν τα ακόλουθα στοιχεία από κοινού για να παρέχουν λογικές, αριθμητικές και ROM λειτουργίες:

- Δυο 4-εισόδων γεννήτριες λειτουργίας LUT, F και G
- Δυο αποθηκευτικά στοιχεία
- Δυο ευρείας λειτουργίας πολυπλέκτες, F5MUX και FiMUX
- Κρατούμενο και αριθμητική λογική

Το ζευγάρι του SLICEM υποστηρίζει δυο επιπλέον λειτουργίες:

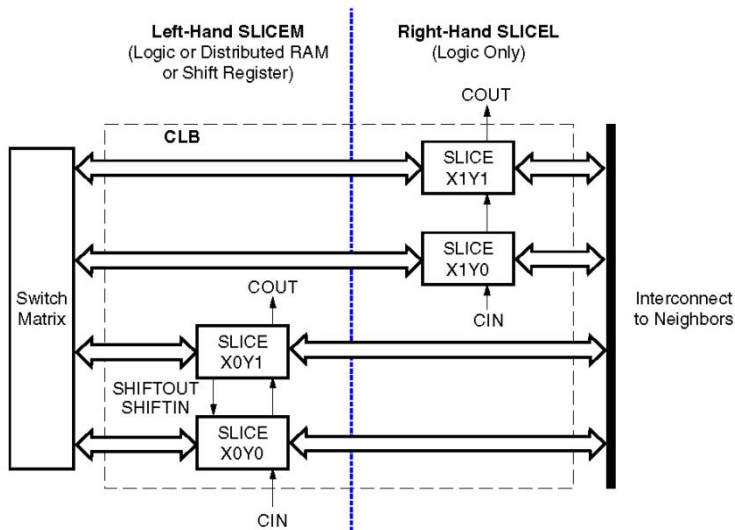
- Δυο 16x1 αφιερωμένες ομάδες μνήμης RAM (RAM blocks), RAM16
- Δυο 16-bit καταχωρητές ολίσθησης, SRL16



Σχήμα A.1.3.12 Πόροι μέσα στα Slices

Slices

Κάθε CLB περιλαμβάνει τέσσερα αλληλοσυνδεδεμένα slices, όπως φαίνεται και στο Σχήμα A.1.3.12. Αυτά τα slices είναι ομαδοποιημένα σε ζευγάρια. Κάθε ζευγάρι οργανώνεται ως στήλη με μία ανεξάρτητη αλυσίδα κρατουμένου. Το αριστερό ζευγάρι υποστηρίζει και διαδικασίες μνήμης, αλλά και λογικής και τα slices που περιλαμβάνει ονομάζονται **SLICEM**. Το δεξιό ζευγάρι υποστηρίζει μόνο λειτουργίες λογικής και τα slices του καλούνται **SLICEL**. Συνεπώς, τα μισά LUTs υποστηρίζουν λειτουργίες λογικής και μνήμης (συμπεριλαμβανομένων των RAM16 και SRL16 καταχωρητές ολίσθησης) ενώ οι άλλοι μισοί υποστηρίζουν μόνο λειτουργίες λογικής και οι δυο τύποι εναλλάσσονται σε όλες τις στήλες του πίνακα. Το SLICEL μειώνει το μέγεθος του CLB και το κόστος της συσκευής και επιπλέον μπορεί να παρέχει πλεονέκτημα στην εκτέλεση των διεργασιών του σε σχέση με το SLICEM.



Σχήμα A.1.3.13 Ταξινόμηση των Slices μέσα στο CLB

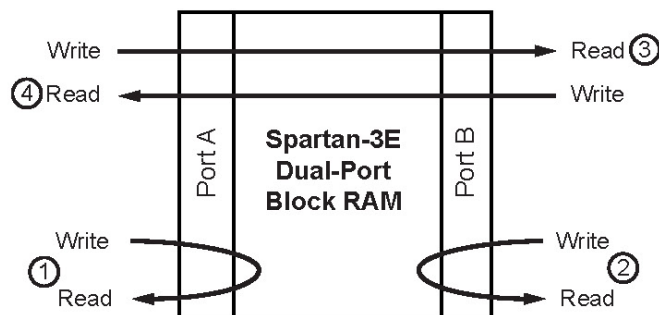
Block RAM

Η συσκευή Spartan-3E ενσωματώνουν 4 με 36 αφιερωμένα block RAMs, τα οποία είναι οργανωμένα σαν διπλής πόρτας (dual-port) ρυθμιζόμενα blocks των 18Kbit. Η Block RAM αποθηκεύει σε σύγχρονη λειτουργία μεγάλες ποσότητες από δεδομένα τα οποία διανέμονται στη RAM. Κάθε block RAM είναι διαμορφώσιμο ρυθμίζοντας τις τιμές των αρχικών τους περιεχομένων, τις προεπιλεγμένες τιμές των σημάτων από τους καταχωρητές εξόδου, το λόγο διαστάσεων της πόρτας και τη μέθοδο εγγραφής. Η Block RAM μπορεί να χρησιμοποιηθεί σαν μέθοδος απλής πόρτας (single-port) ή διπλής πόρτας (dual-port).

Η εσωτερική δομή του Block RAM

Το block RAM έχει δομή διπλής πόρτας (dual port). Οι δυο πανομοιότυπες πόρτες δεδομένων καλούνται A και B και επιτρέπουν ανεξάρτητη πρόσβαση στο κοινό block RAM, το οποίο έχει μέγιστη χωρητικότητα 18,432bits, ή 16,384bits χωρίς bits ισοτιμίας. Κάθε πόρτα έχει τις δικές της, για αποκλειστική χρήση, γραμμές δεδομένων, ελέγχου και clock για σύγχρονη λειτουργίες ανάγνωσης και εγγραφής. Υπάρχουν τέσσερα βασικά μονοπάτια, όπως φαίνεται στο Σχήμα A.1.3.13:

1. Εγγραφή στην Port A και ανάγνωση από την Port A
2. Εγγραφή στην Port B και ανάγνωση από την Port B
3. Μεταφορά δεδομένων από την Port A στην Port B
4. Μεταφορά δεδομένων από την Port B στην Port A



Σχήμα A.1.3.14 Μονοπάτια δεδομένων της Block RAM

Dedicated Multipliers

Η συσκευές Spartan-3E παρέχουν 4 με 36 ομάδες πολλαπλασιαστών. Οι πολλαπλασιαστές είναι τοποθετημένοι μαζί με τα block RAM σε μια από τις δυο στήλες αναλόγως με την πυκνότητα της συσκευής.

Λειτουργία

Οι ομάδες των πολλαπλασιαστών αρχικά πραγματοποιούν τον αριθμητικό πολλαπλασιασμό του δεύτερου συμπληρώματος, αλλά μπορεί επίσης να εκτελέσει μερικές λιγότερο εμφανείς εφαρμογές, όπως απλή αποθήκευση δεδομένων και "barrel shifting". Τα slices λογικής εφαρμόζουν επίσης τους αποδοτικούς μικρούς πολλαπλασιαστές και με αυτόν τον τρόπο συμπληρώνουν τους αφιερωμένους πολλαπλασιαστές.

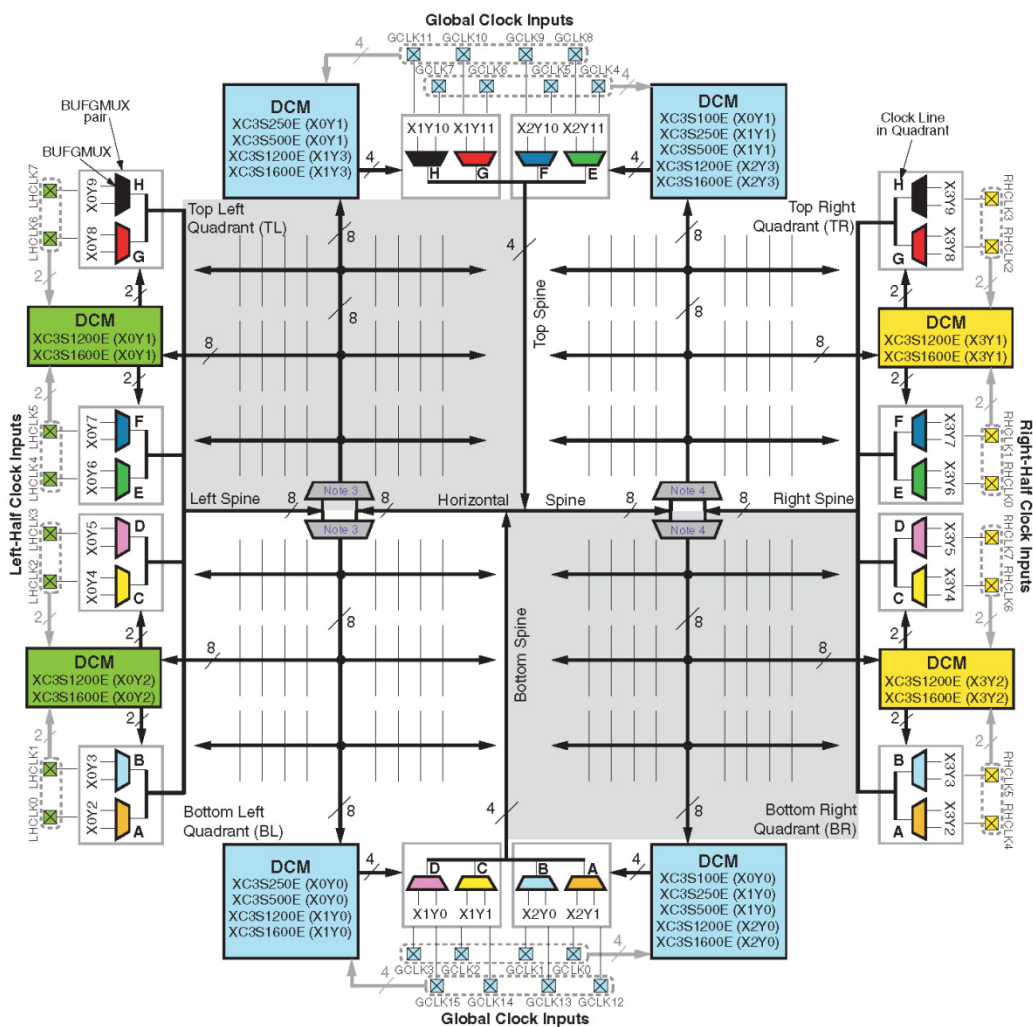
Κάθε πολλαπλασιαστής εκτελεί βασική λειτουργία $P = A \times B$, όπου 'A' και 'B' είναι λέξεις των 18-bit με τη μορφή δυο συμπληρωμάτων και 'P' είναι το πλήρης-ακριβείας γινόμενων των 36-bit, επίσης με μορφή δυο συμπληρωμάτων. Η είσοδος των 18-bit αντιπροσωπεύει τις τιμές μεταξύ του -131,07210 και +131,07110 με το αποτέλεσμα του γινομένου να είναι μεταξύ του -17,179,738,11210 και +17,179,869,18410. Οι πολλαπλασιαστές εφαρμόζονται με εισόδους οι οποίες έχουν λιγότερα από 18-bits για να επεκτείνουν το πρόσημο τους (π.χ., αντιγραφή του σημαντικότερου κομματιού). Βαθύτερες λειτουργίες πολλαπλασιασμού εκτελούνται με συνεργασία των αφιερωμένων πολλαπλασιαστών και της βασιζόμενης στα slices λογικής με κάθε εφαρμόσιμο συνδυασμό ή με διαμοιρασμό χρόνου με απλούς πολλαπλασιαστές.

Digital Clock Managers (DCMs)

- Τα FPGAs της σειράς Spartan-3E έχουν δυο, τέσσερις και οκτώ DCMs, αναλόγως με το μέγεθος της συσκευής.
- Έχουν δυνατότητα για μεταβλητή ολίσθηση φάσης (phase shifting).
- Τα DLLs των Spartan-3E υποστηρίζουν μικρότερες συχνότητες εισόδου, με ελάχιστη τα 5 MHz.

Επισκόπηση των DCMs

Οι Digital Clock Managers (DCMs) των Spartan-3E παρέχουν ευέλικτο και ολοκληρωμένο έλεγχο στη συχνότητα του clock, στην ολίσθηση της φάσης και παραμόρφωση. Για να επιτευχθεί αυτό, ο DCM συνεργάζεται με τον Κλειστό Βρόγχο Καθυστέρησης (Delay-Locked Loop (DLL)), με ένα σύστημα πλήρους ψηφιακού ελέγχου που χρησιμοποιεί ανάδραση για να διατηρήσει τα χαρακτηρισικά του σήματος του clock με μεγάλο βαθμό ακρίβειας.



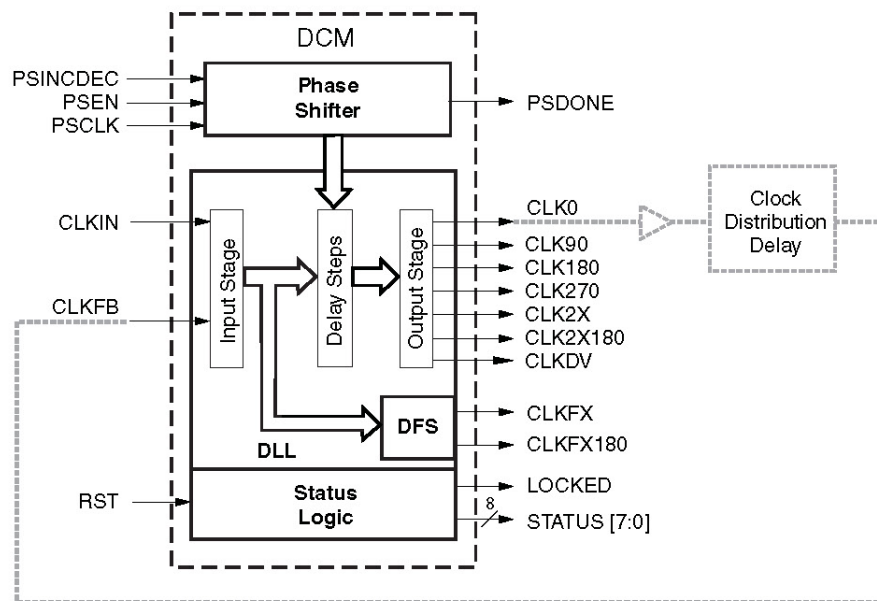
Σχήμα A.1.3.15 Εσωτερικές συνδέσεις του δικτύου του Clock

Τα XC3S500E FPGAs περιλαμβάνουν τέσσερις DCMs, δυο στο επάνω μέρος και δυο στο κάτω, όπως φαίνεται στο Σχήμα A.1.3.14. Οι DCMs στα FPGAs της σειράς Spartan-3E είναι περικυκλωμένοι από CLBs μέσα σε πίνακες λογικής.

Ο DCM υποστηρίζει τρεις βασικές λειτουργίες:

- **Εξάλειψη της παραμόρφωσης του clock:** Η παραμόρφωση του Clock μέσα σε ένα σύστημα εμφανίζεται λόγω των διαφορετικών χρόνων άφιξης ενός σήματος clock σε διαφορετικά σημεία, τυπικά οφείλεται στο δίκτυο διανομής των σημάτων clock. Η παραμόρφωση του Clock αυξάνει τις απαιτήσεις οργάνωσης και συγκράτησης χρόνων και αυξάνει τους χρόνους εκτός clock. Όλα αυτά είναι ανεπιθύμητα σε εφαρμογές υψηλών συχνοτήτων. Ο DCM απομακρύνει την παραμόρφωση του clock με ευθυγράμμιση φάσης του σήματος clock εξόδου η οποία δημιουργείται από το εισερχόμενο σήμα clock. Αυτός ο μηχανισμός αποτελεσματικά ακυρώνει τις καθυστερήσεις διανομής του clock.
- **Σύνθεση Συχνοτήτων:** Ο DCM μπορεί να δημιουργήσει ένα ευρύ φάσμα από διαφορετικές συχνότητες εξόδου του clock που απορρέουν από τα εισερχόμενα σήματα clock. Αυτό επιτυγχάνεται είτε με τον πολλαπλασιασμό και/ή τη διαίρεση των συχνοτήτων των σημάτων του εισερχόμενου clock, είτε με οποιονδήποτε από τους διαφορετικούς διορθωτές.
- **Ολίσθηση Φάσης:** Ο DCM παρέχει τη δυνατότητα να ολισθαίνει τη φάση από όλα τα σήματα clock εξόδου σε σχέση με τα σήματα clock εισόδου.

Παρόλο που έχει πρωτογενή σχεδίαση, ο DCM αποτελείται από τέσσερις συσχετιζόμενες λειτουργικές μονάδες: το Κλειστό Βρόγχο Καθυστερήσης (Delay-Locked Loop (DLL)), τον Ψηφιακό Συνθέτη Συχνοτήτων (Digital Frequency Synthesizer (DFS)), το Μετατοπιστή Φάσης (Phase Shifter (PS)) και την Κατάσταση Λογικής. Κάθε συστατικό έχει τα δικά του συσχετιζόμενα σήματα, όπως φαίνεται στο Σχήμα A.1.3.15.



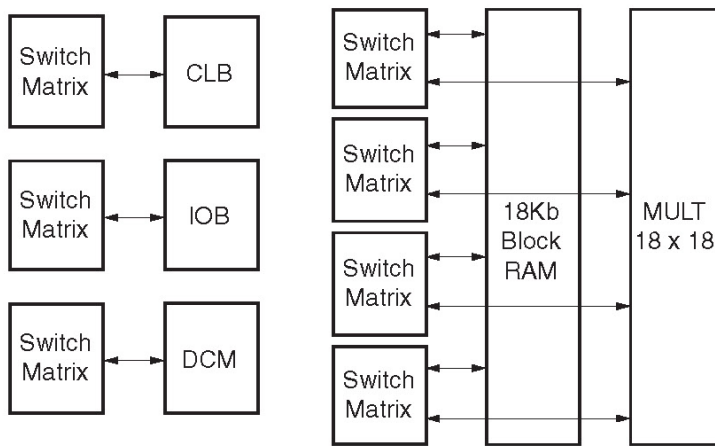
Σχήμα A.1.3.16 Λειτουργικές ομάδες του DCM και συνεργαζόμενα σήματα

Διασύνδεση (Interconnect)

Η διασύνδεση είναι ένα προγραμματιζόμενο δίκτυο από μονοπάτια σημάτων μεταξύ των εισόδων και των εξόδων των λειτουργικών στοιχείων μέσα στο FPGA, όπως IOBs, CLBs, DCMs, και Block RAM.

Επισκόπηση

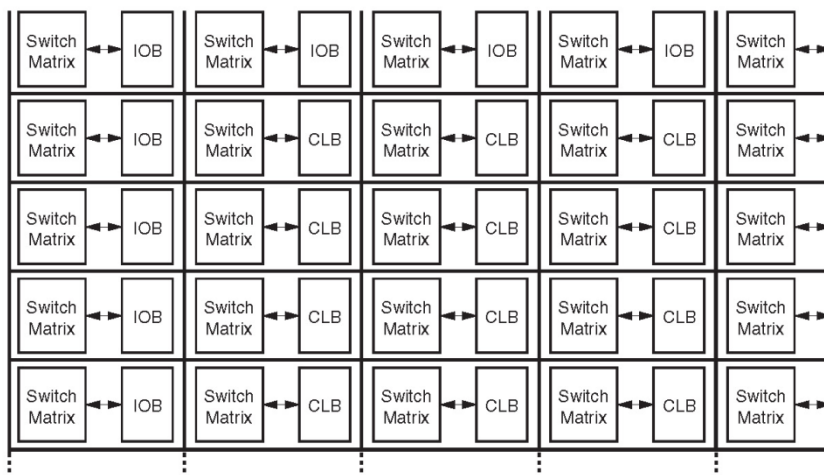
Η διασύνδεση επίσης καλείται δρομολόγηση και είναι τμηματική για βέλτιστη συνδεσιμότητα. Υπάρχουν τέσσερις τρόποι δρομολόγησης: μακριές γραμμές (long lines), γραμμές hex (hex lines), διπλές γραμμές (double lines) και απευθείας γραμμές. Το λογισμικό **Xilinx Place and Route (PAR)** αξιοποιεί τους πολύτιμους πίνακες διασυνδέσεων για να παραδώσει ένα βελτιστοποιημένο σύστημα σε απόδοση και σε γρηγορότερους χρόνους σύνταξης.



Σχήμα A.1.3.17 Τέσσερις τύποι δρομολόγησης

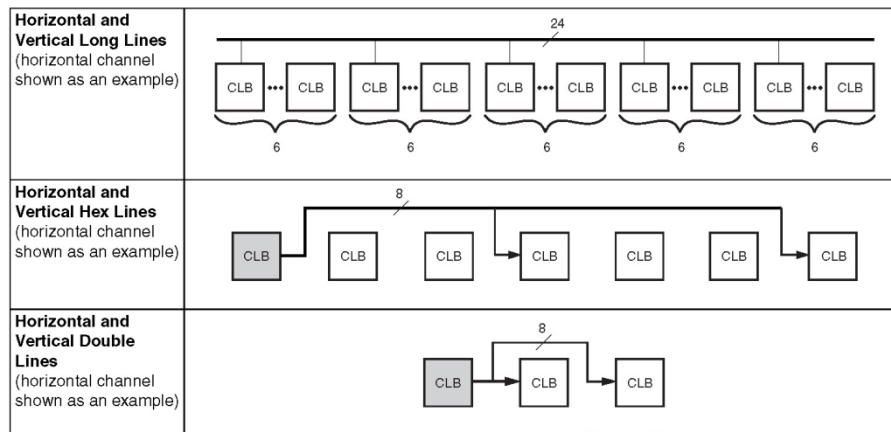
Switch Matrix

Το switch matrix συνδέει τους διαφορετικούς τύπους διασυνδέσεων κατά μήκος της συσκευής. Ένα πλακίδιο από διασυνδέσεις, όπως φαίνεται στο Σχήμα A.1.3.16, είναι ορισμένο σαν απλό “switch matrix” συνδεδεμένο σε κάποιο λειτουργικό στοιχείο, όπως ένα CLB, IOB, ή DCM. Αν το λειτουργικό στοιχείο εκτείνεται μακριά από πολλά “switch matrices» όπως block RAM ή πολλαπλασιαστές, τότε ένα πλακίδιο διασύνδεσης καθορίζεται από τον αριθμό των “switch matrices” που συνδέονται με εκείνο το λειτουργικό στοιχείο. Μια συσκευή Spartan-3E μπορεί να αναπαρασταθεί σαν πίνακας από πλακίδια διασυνδέσεων, όπως φαίνεται στο Σχήμα A.1.3.17.



Σχήμα A.1.3.18 Πλακίδια διασύνδεσης

Οι τέσσερις τύποι διασυνδέσεων γενικής χρήσης είναι διαθέσιμοι σε κάθε κανάλι, όπως φαίνεται στο Σχήμα A.1.3.18.



Σχήμα A.1.3.19 Τύποι διασύνδεσης μεταξύ δυο πλακιδίων διασύνδεσης

Μακριές Γραμμές (Long Lines)

Κάθε ομάδα από 24 σήματα μακρών γραμμών εκτείνεται στον κύβο και οριζόντια και κάθετα και συνδέεται με ένα από κάθε έξι πλακίδια διασύνδεσης. Σε κάθε πλακίδιο, τέσσερις από τις μακριές γραμμές οδηγούν ή δέχονται σήματα από ένα switch matrix. Εξαιτίας της μικρής τους χωρητικότητας, αυτές οι γραμμές είναι κατάλληλες για τη μεταφορά σημάτων υψηλής συχνότητας με ελάχιστα φαινόμενα φόρτωσης (π.χ. παραμόρφωση). Αν όλες οι γραμμές global clock είναι ήδη δεσμευμένες και τα επιπλέον σήματα clock παραμένουν απασχολημένα, οι μακριές γραμμές προσφέρουν καλή εναλλακτική λύση.

Γραμμές Hex (Hex Lines)

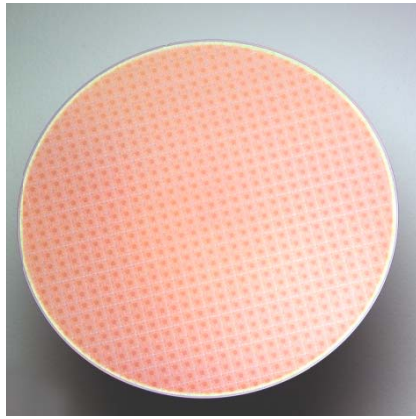
Κάθε δεσμίδα οχτώ hex γραμμών συνδέεται σε μία που προκύπτει από κάθε τρία πλακίδια, τόσο οριζόντια όσο και κάθετα. Τριάντα δύο hex γραμμές είναι διαθέσιμες μεταξύ οποιουδήποτε διασυνδεδεμένου πλακιδίου. Οι γραμμές hex μπορούν να οδηγηθούν μόνο από τη μία άκρη του route.

Διπλές Γραμμές (Double Lines)

Κάθε δεσμίδα από οχτώ διπλές γραμμές συνδέονται σε κάθε δεύτερο πλακίδιο, τόσο οριζόντια όσο και κάθετα, και στις τέσσερις κατευθύνσεις. Υπάρχουν τριάντα δύο διπλές γραμμές διαθέσιμες μεταξύ οποιουδήποτε διασυνδεδεμένου πλακιδίου. Οι διπλές γραμμές έχουν περισσότερες συνδέσεις και ευελιξία, σε σύγκριση με τις μακριές γραμμές και τις γραμμές hex.

Άμεσες Συνδέσεις (Direct Connections)

Οι γραμμές άμεσης σύνδεσης οδηγούν τα σήματα σε γειτονικά πλακίδια: κάθετα, οριζόντια και διαγώνια. Αυτές οι γραμμές συνήθως οδηγούν το σήμα από ένα πλακίδιο “πηγής” σε μία διπλή, hex, ή μία μακριά γραμμή και αντιστρόφως από τη μακρύτερη διασύνδεση πίσω σε μία άμεση γραμμή, που έχει πρόσβαση σε ένα πλακίδιο “προορισμού”.



**ΛΕΙΤΟΥΡΓΙΚΑ ΜΕΡΗ
ΤΗΣ ΚΑΤΑΣΚΕΥΗΣ
ΓΙΑ CPLD**

**ΠΕΡΙΦΕΡΕΙΑΚΑ
ΤΗΣ ΚΑΤΑΣΚΕΥΗΣ
ΓΙΑ CPLD**

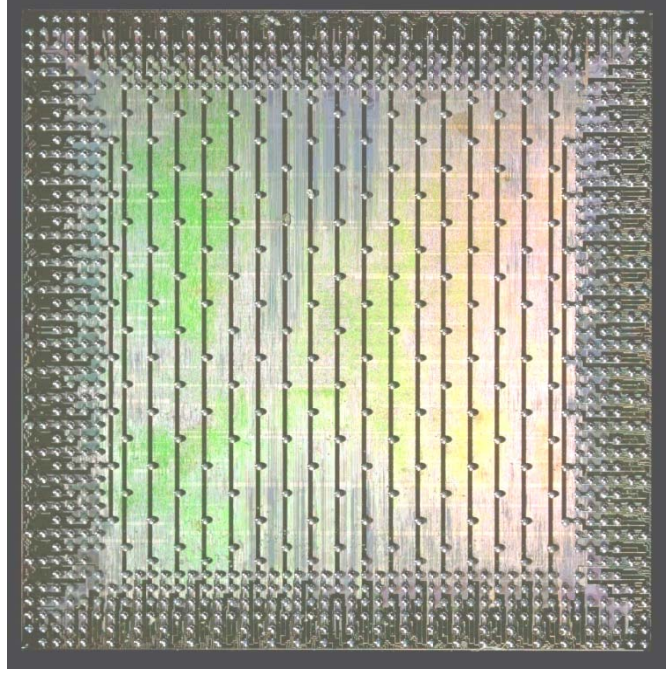
**ΛΕΙΤΟΥΡΓΙΚΑ ΜΕΡΗ
ΤΗΣ ΚΑΤΑΣΚΕΥΗΣ
ΓΙΑ FPGA**

**ΠΕΡΙΦΕΡΕΙΑΚΑ
ΤΗΣ ΚΑΤΑΣΚΕΥΗΣ
ΓΙΑ FPGA**

Τροφοδοσία

Προγραμματισμός

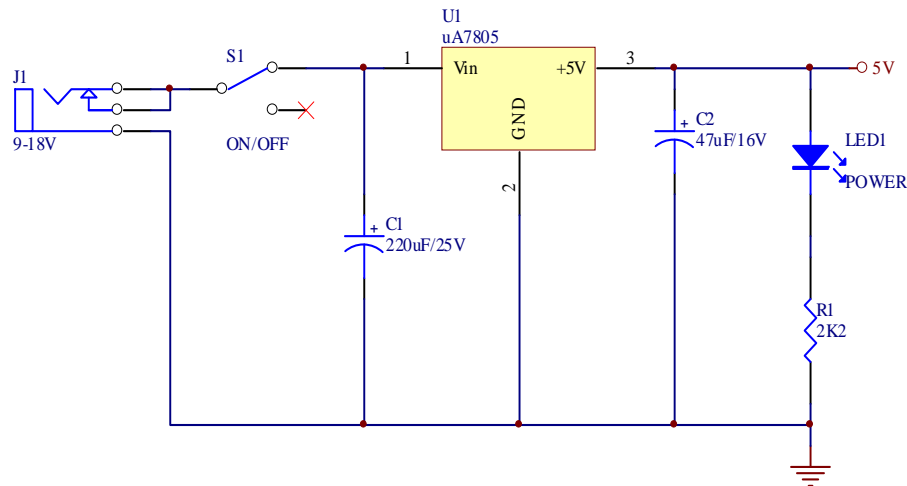
Ρολόι



B.1 ΛΕΙΤΟΥΡΓΙΚΑ ΜΕΡΗ ΤΗΣ ΚΑΤΑΣΚΕΥΗΣ ΓΙΑ CPLD

B.1.1 ΤΡΟΦΟΔΟΣΙΑ

Η τάση με την οποία τροφοδοτείται η αναπτυξιακή πλακέτα, η οποία βασίζεται στο CPLD της Xilinx XC9536PC44, είναι 5V και εφαρμόζεται σε όλες τις εισόδους V_{CCINT} και V_{CCIO} . Προκειμένου να δημιουργηθεί αυτή η τάση, η οποία πρέπει να είναι σταθεροποιημένη, σχεδιάστηκε πάνω στην πλακέτα ένας σταθεροποιητής τάσης εξόδου στα 5V. Η είσοδος του τροφοδοτικού αυτού πρέπει να είναι υποχρεωτικά DC, με επίπεδα από 9V έως και 18V. Συνήθως χρησιμοποιείται εξωτερικό τροφοδοτικό adapter το οποίο δίνει στην έξοδο του 12V DC.



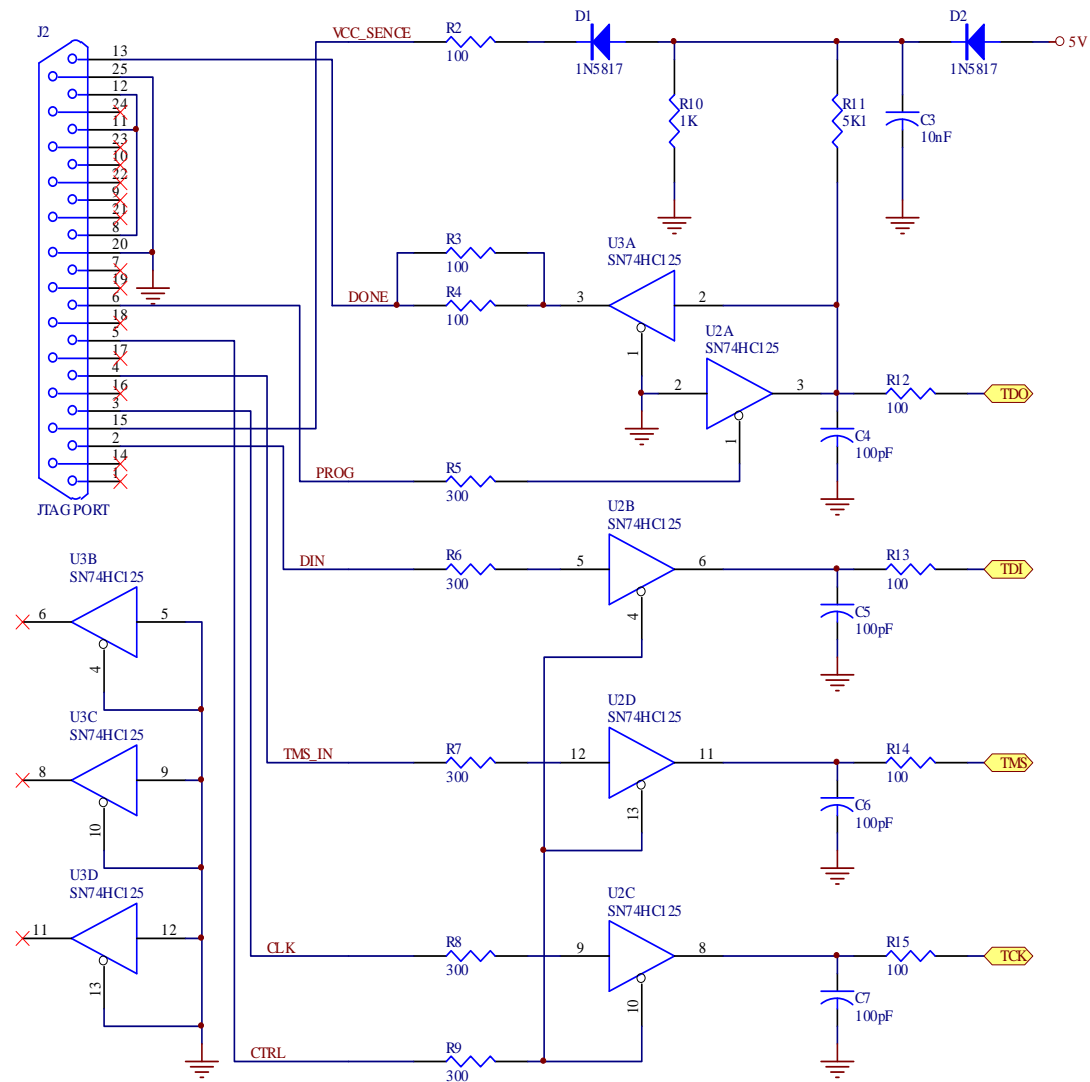
Σχήμα B.1.1.1 Τροφοδοτικό της αναπτυξιακής πλακέτας για CPLD

Στο Σχέδιο B.1.1.1 μπορεί να δει κανείς πως για τη σχεδίαση και κατασκευή αυτού του απλού σταθεροποιημένου τροφοδοτικού χρησιμοποιήθηκαν ελάχιστα εξαρτήματα. Τα εξαρτήματα αυτά είναι ένα LM7805, δυο πυκνωτές, ένα κόκκινο LED, μια αντίσταση, ένας διακόπτης και ένα βύσμα τροφοδοσίας. Το LM7805 είναι ένας σταθεροποιητής τάσης και πάνω σ' αυτόν εφαρμόζονται οι 2 πυκνωτές, ο ένας στην είσοδο και ο άλλος στην έξοδο του. Οι πυκνωτές αυτοί χρησιμοποιούνται για να μειώσουν την κυμάτωση της DC στάθμης και στην είσοδο, ώστε να λειτουργεί σωστά ο σταθεροποιητής, αλλά και στην έξοδο, ώστε η τάση εξόδου και κατά συνέπεια αυτή που θα τροφοδοτεί τα υπόλοιπα ολοκληρωμένα της πλακέτας να είναι απαραμόρφωτη. Στην είσοδο του σταθεροποιητή τοποθετήθηκε ένας διακόπτης για τη διακοπή της τροφοδοσίας σε όλα τα ηλεκτρονικά εξαρτήματα και πριν από αυτόν το βύσμα τροφοδοσίας το οποίο και δέχεται τάση μέσα στα πλαίσια που αναφέρθηκαν παραπάνω. Στην έξοδο του σταθεροποιητή τοποθετήθηκε και ένα LED, ώστε να υπάρχει οπτική ένδειξη για την ύπαρξη τάσης λειτουργίας στην πλακέτα.

B.1.2 ΠΡΟΓΡΑΜΜΑΤΙΣΜΟΣ

Το κύκλωμα που διασυνδέει τον Η/Υ με την αναπτυξιακή πλακέτα ώστε να μπορεί να προγραμματιστεί το XC9536PC44 φαίνεται στο Σχήμα B.1.2.1 και δημιουργεί σήματα που είναι συμβατά με το πρωτόκολλο JTAG 4-pin.

Χρησιμοποιεί δυο ολοκληρωμένα 74HC125 τα οποία περιέχουν από τέσσερις buffers τριών καταστάσεων το καθένα, μερικές αντιστάσεις, δυο διόδους και τέσσερις πυκνωτές.



Σχήμα B.1.2.1 Σχηματικό διάγραμμα κυκλώματος JTAG

Η σύνδεση με τον Η/Υ γίνεται μέσω της παράλληλης θύρας του (LPT1). Τα JEDEC αρχεία που δημιουργήθηκαν από το λογισμικό της Xilinx μεταφέρονται μέσω της παράλληλης θύρας στο κύκλωμα του προγραμματιστή και στη συνέχεια στη συσκευή CPLD που θα προγραμματιστεί. Τα σήματα που συναντώνται στο πρωτόκολλο JTAG φαίνονται στο Πίνακα B.1.2.1.

Πίνακας Β.1.2.1 Σήματα του πρωτοκόλλου JTAG

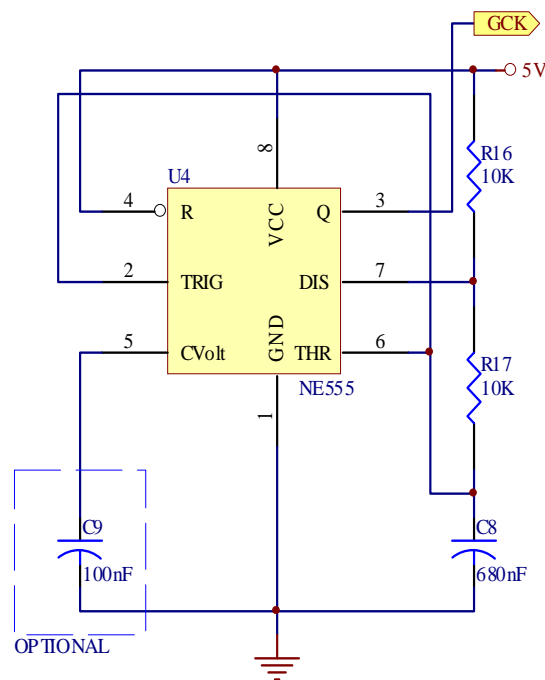
Σήμα	Περιγραφή
TCK	Αυτό το pin είναι το clock ελέγχου του JTAG. Αυτό ακολουθεί τον ελεγκτή TAP καθώς επίσης και όλους τους καταχωρητές JTAG που παρέχονται στα CPLDs
TMS	Αυτό το pin είναι το σήμα του τρόπου εισαγωγής στον ελεγκτή TAP. Ο ελεγκτής TAP είναι 16-καταστάσεων FSM που παρέχει τη λογική ελέγχου για το JTAG. Η κατάσταση του TMS στην ανοδική άκρη του TCK καθορίζει την ακολουθία των καταστάσεων για τον ελεγκτή TAP. Το TMS έχει μια εσωτερική pull-up αντίσταση για να παρέχει λογικό "1" στο σύστημα εάν η καρφίτσα δεν οδηγείται.
TDI	Αυτό το pin είναι η σειριακή είσοδος όλων των καταχωρητών εντολών και δεδομένων. Η κατάσταση του ελεγκτή TAP καθώς επίσης και η ιδιαίτερη εντολή που κρατιέται στον καταχωρητή εντολών καθορίζουν ποιος κατάλογος τροφοδοτείται από το TDI για μια συγκεκριμένη λειτουργία. Το TDI έχει μια εσωτερική pull-up αντίσταση για να παρέχει λογικό "1" στο σύστημα εάν το pin δεν οδηγείται. Το TDI επιλέγεται στους καταχωρητές JTAG στην ανοδική άκρη του TCK.
TDO	Αυτή η καρφίτσα είναι η σειριακή έξοδος δεδομένων για όλους τους καταχωρητές εντολών και δεδομένων του JTAG. Η κατάσταση του ελεγκτή TAP καθώς επίσης και της ιδιαίτερης εντολής που κρατιέται στον καταχωρητή εντολών καθορίζει ποιος κατάλογος τροφοδοτεί το TDO για μια συγκεκριμένη λειτουργία. Μόνο ένας καταχωρητής (εντολών ή δεδομένων) επιτρέπεται να είναι η ενεργή σύνδεση μεταξύ του TDI και του TDO για οποιαδήποτε δεδομένη λειτουργία. Το TDO αλλάζει κατάσταση στην καθοδική άκρη του TCK και είναι ενεργό μόνο κατά τη διάρκεια της μετατόπισης των δεδομένων μέσω της συσκευής. Αυτό το pin γίνεται τριών καταστάσεων σε κάθε άλλη περίπτωση.

B.1.3 ΡΟΛΟΙ

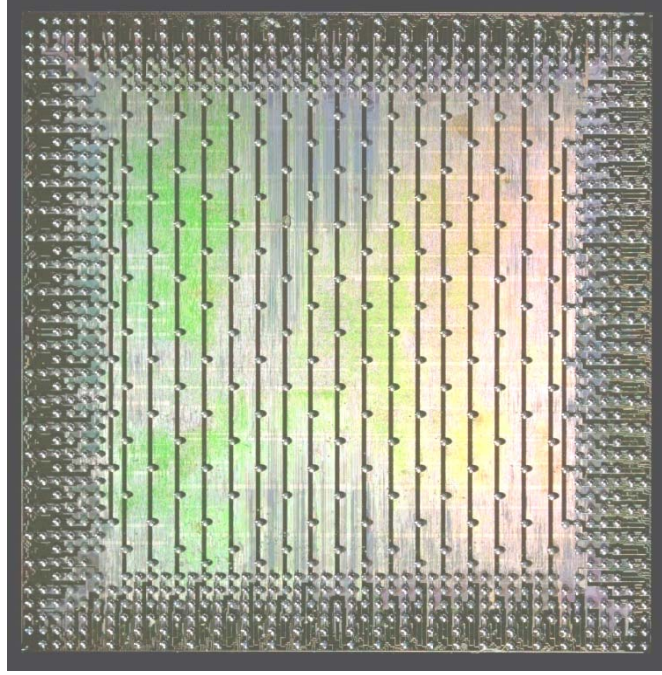
Το σύστημα χρονισμού της πλακέτας βασίζεται σε μια απλή και κοινή συνδεσμολογία ενός πολύ διαδεδομένου ολοκληρωμένου του NE555. Χρησιμοποιείται μια από τις πολλές συνδεσμολογίες που μπορεί να εφαρμοστεί και είναι αυτή της ασταθούς λειτουργίας.

Προκειμένου να επιτευχθεί αυτό χρειάζονται μόνο 2 αντιστάσεις, ένας πυκνωτής και ο πολυδονητής NE555. Στο παρακάτω κύκλωμα (Σχήμα B.1.3.1) βλέπουμε τη διάταξη των υλικών ώστε να πετύχουμε λειτουργία ασταθούς πολυδονητή με το NE555. Το κύκλωμα αυτό παράγει παλμούς τους οποίους οδηγούμε στην είσοδο GCK (pin 5) του CPLD. Η συχνότητα των παλμών που παράγει το συγκεκριμένο κύκλωμα με το NE555 εξαρτώνται από τις τιμές των αντιστάσεων και του πυκνωτή που θα χρησιμοποιηθούν. Για να επιτευχθεί, λοιπόν, η συχνότητα που χρειάζεται για κάθε εφαρμογή μπορούν να υπολογιστούν οι τιμές των παραπάνω υλικών σύμφωνα με τον παρακάτω τύπο:

$$f = \frac{1.44}{(R_{16} + 2 \cdot R_{17}) \cdot C_8}$$



Σχήμα B.1.3.1 Κύκλωμα παραγωγής παλμών για οδήγηση του GCK του CPLD



Ενδείκτες 7 τομέων

Ενδείκτες LEDs

Μικροδιακόπτες

Πιεστικοί Διακόπτες (Push Buttons)

B.2.1 ΕΝΔΕΙΚΤΕΣ 7 ΤΟΜΕΩΝ

Οι ενδείκτες 7 τομέων στην κατασκευή λειτουργούν με τη μέθοδο της πολυπλεξίας. Η κοινή άνοδος σε κάθε ενδείκτη 7 τομέων ενεργοποιείται από κάποια έξοδο του XC9536PC44, μέσω ενός PNP τρανζίστορ 2N3906. Ταυτόχρονα οκτώ έξοδοι του CPLD μπορούν να δώσουν λογικό "0" στα pin a, b, c, d, e, f, g και D.P. όλων των ενδεικτών. Τα τρανζίστορ χρησιμοποιούνται για να σαρώνουν τις κοινές ανόδους των ενδεικτών και να επιλέγουν κατά συνέπεια ποιος ενδείκτης θα λειτουργεί κάθε στιγμή. Δίνουν στην κοινή άνοδο του κάθε ενδείκτη τροφοδοσία με τάση 5V και ρεύμα ικανό για να οδηγήσει όλους τους τομείς του κάθε ενδείκτη, αφού το CPLD δεν έχει, όπως φαίνεται σε παραπάνω κεφάλαιο, τη δυνατότητα να δώσει μεγάλο ρεύμα σε λογική κατάσταση "1".

Στον Πίνακα B.2.1.1 φαίνεται ποια pin του CPLD οδηγούν κοινές ανόδους των ενδεικτών και τομείς .

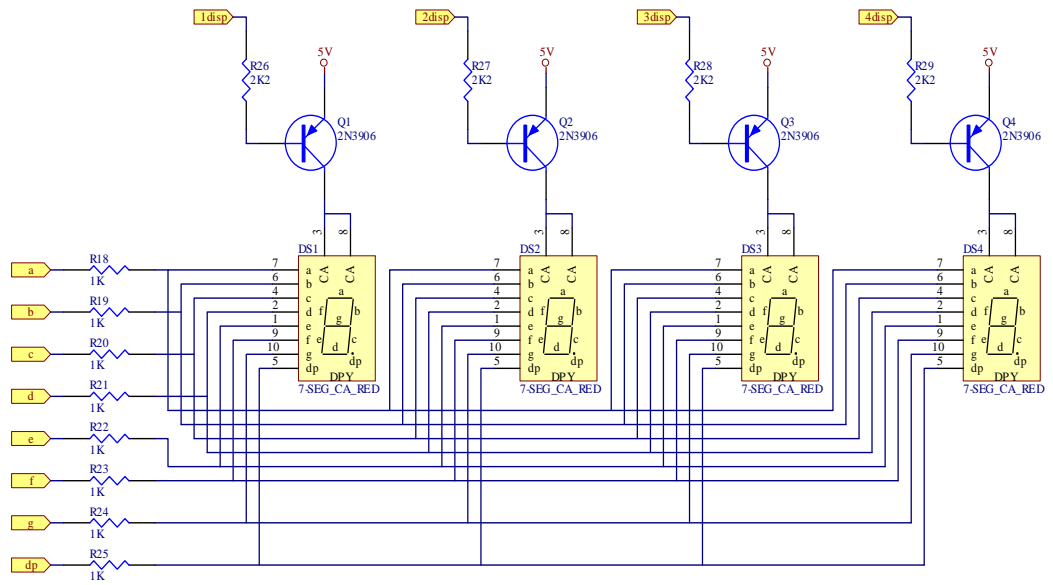
Πίνακας B.2.1.1 Αντιστοιχία Pin εξόδου του CPLD με pin των ενδεικτών 7 τομέων

Pin εξόδου CPLD	Ενδείκτες 7 τομέων
14	1 ^{ος} ενδείκτης
13	2 ^{ος} ενδείκτης
12	3 ^{ος} ενδείκτης
11	4 ^{ος} ενδείκτης
6	Τομέας a
9	Τομέας b
2	Τομέας c
4	Τομέας d
1	Τομέας e
7	Τομέας f
8	Τομέας g
3	Τομέας D.P.

Στο Σχήμα B.2.1.1 φαίνεται το σχηματικό διάγραμμα των συνδέσεων των pin εξόδου του CPLD με τους ενδείκτες 7 τομέων.

Οι αντιστάσεις που φαίνονται μεταξύ των pin του CPLD και των τομέων των ενδεικτών λειτουργούν ως περιοριστές ρεύματος. Τα LED, όπως είναι γνωστό, είναι δίοδοι οι οποίες όταν άγουν εκπέμπουν φως. Η τάση που θέλουν στα άκρα τους για να λειτουργήσουν είναι περίπου 2V και καταναλώνουν 4mA. Εάν κάποιος όμως τα τροφοδοτήσει με 5V, αυτό θα τα καταστρέψει. Τοποθετούνται, λοιπόν, αυτές οι αντιστάσεις, ώστε να δημιουργηθούν οι συγκεκριμένες συνθήκες. Από τον παρακάτω τύπο μπορούν να υπολογιστούν οι αντιστάσεις που πρέπει να χρησιμοποιηθούν.

$$I = \frac{(5 - 2)}{R} \stackrel{I=4mA}{\implies} R \approx 1K\Omega$$



Σχήμα Β.2.1.1 Σχηματικό διάγραμμα για τους ενδείκτες 7 τομέων

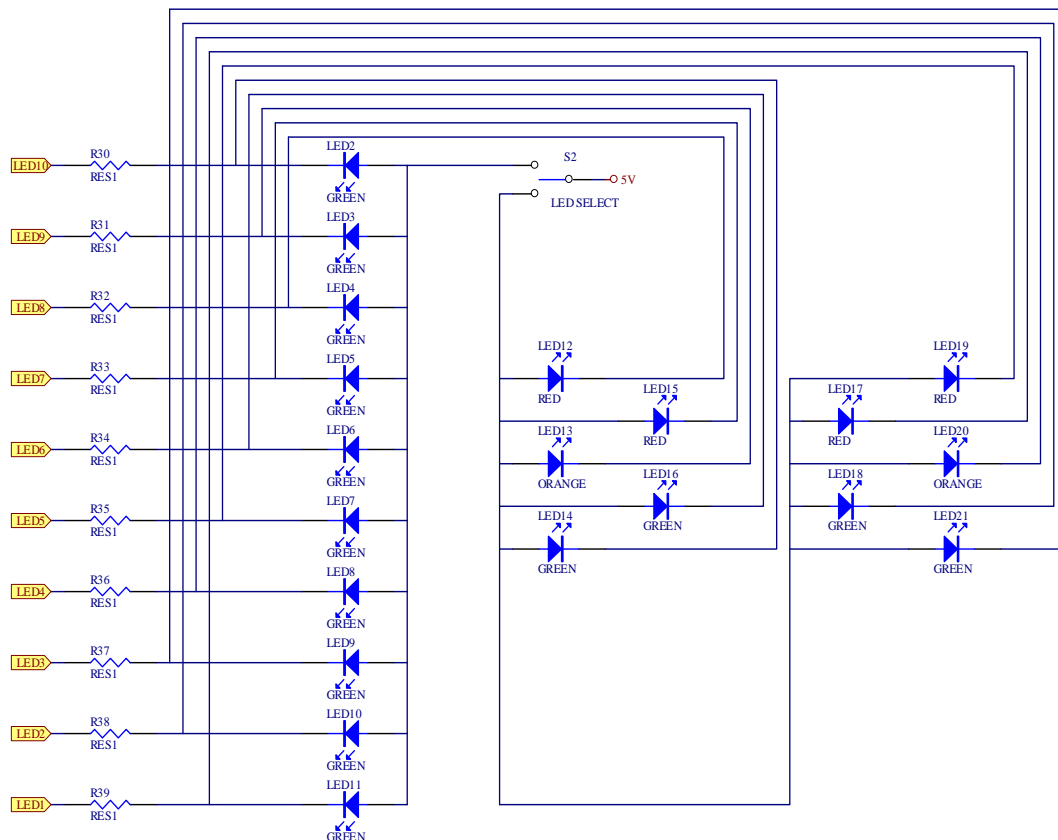
B.2.2 ΕΝΔΕΙΚΤΕΣ LED

Στο κύκλωμα της κατασκευής περιλαμβάνονται και 20 LED τα οποία λειτουργούν σε δυο ξεχωριστές ομάδες των 10.

Η πρώτη ομάδα αποτελείται από 10 LED πράσινου χρώματος τα οποία είναι τοποθετημένα σε διάταξη στήλης. Το κάθε LED συνδέει την άνοδο του στην τάση των 5V μέσω ενός μεταγωγικού διακόπτη **S2** και την κάθοδο του σε μια αντίσταση η οποία με τη σειρά της ενώνεται με κάποιο pin του CPLD. Στον Πίνακα B.2.2.1 φαίνονται τα pins που οδηγούν κάθε LED. Η αντιστάσεις που τοποθετούνται παίζουν το ρόλο του περιοριστή ρεύματος όπως αναλύεται παραπάνω σε προηγούμενο κεφάλαιο και υπολογίζονται από τον ίδιο τύπο.

Η δεύτερη ομάδα έχει δυο 5άδες από LED τα οποία είναι σε διάταξη φωτεινού σηματοδότη (2 πράσινα, 2 κόκκινα και 1 πορτοκαλί). Η άνοδος του κάθε LED συνδέεται κι αυτή στον μεταγωγικό διακόπτη **S2** ο οποίος τους παρέχει τάση 5V και η άνοδος συνδέεται στις αντιστάσεις που συνδέονται τα LED της πρώτης ομάδας.

Ο μεταγωγικός διακόπτης, λοιπόν, απλά επιλέγει ποια ομάδα από LED θα οδηγείται από το CPLD. Στο Σχήμα B.2.2.1 φαίνονται πιο αναλυτικά οι συνδέσεις αυτές.



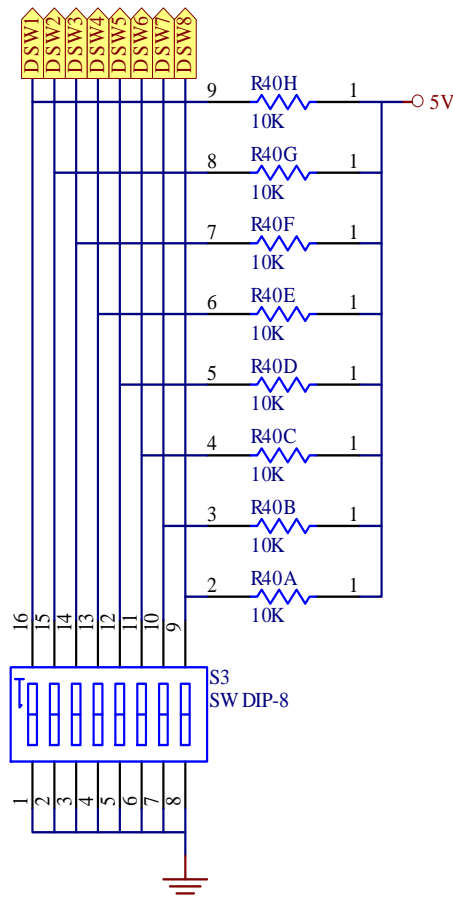
Σχήμα B.2.2.1 Κύκλωμα με LED

Πίνακας B.2.2.1 Αντιστοιχία των pin του CPLD με τα LED

LED	2	14	3	13	4	12	5	15	6	16	7	19	8	20	9	21	10	18	11	17
CPLD pins	29		28		27		26		25		24		22		20		18		19	

B.2.3 ΜΙΚΡΟΔΙΑΚΟΠΤΕΣ

Οι μικροδιακόπτες χρησιμοποιούνται για να δώσουν στο CPLD μια κατάσταση 8-bit. Για να επιτευχθεί αυτό τοποθετούνται ανάμεσα στο CPLD και στους μικροδιακόπτες pull-up αντιστάσεις. Οι αντιστάσεις αυτές δίνουν στα pins εισόδου του XC9536PC44 λογική κατάσταση "1", όταν κάποιοι από αυτούς είναι στη θέση OFF. Όταν μεταβούν στην κατάσταση ON ενώνουν τα αντίστοιχα pin με τη γείωση και δίνουν λογική κατάσταση ON. Στο Σχήμα B.2.3.1 φαίνεται η συνδεσμολογία των μικροδιακοπών.



Σχήμα B.2.3.1 Κύκλωμα μικροδιακοπών

Πίνακας B.2.3.1 Αντιστοιχία των μικροδιακοπών με τα pins του CPLD

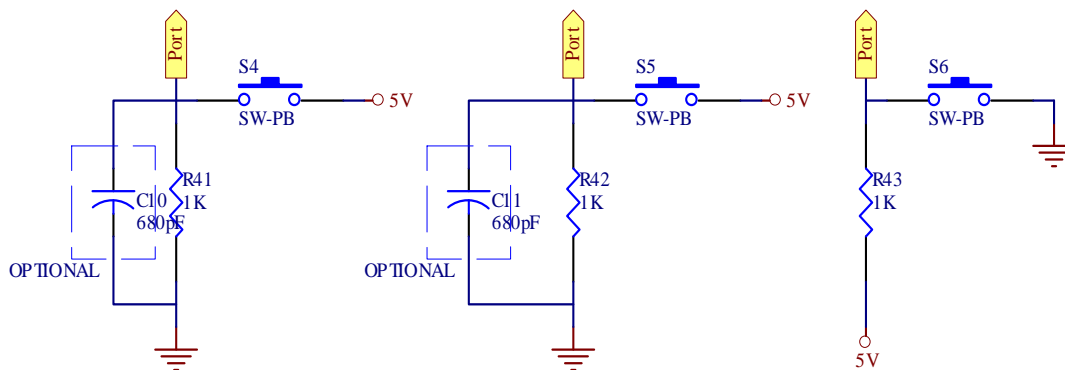
Μικροδιακόπτες	Pins του CPLD
1	33
2	34
3	35
4	36
5	37
6	39
7	38
8	40

B.2.4 ΠΙΕΣΤΙΚΟΙ ΔΙΑΚΟΠΤΕΣ (PUSH BUTTONS)

Το κύκλωμα με τους πιεστικούς διακόπτες δίνει στο CPLD λογικές καταστάσεις "0" και "1", αλλά μόνο για όσο χρονικό διάστημα είναι πατημένος ο διακόπτης. Αν αφηθεί, το CPLD θα λάβει λογική κατάσταση αντίθετη από αυτήν που είχε όταν πιεζόταν ο διακόπτης.

Στην αναπτυξιακή πλακέτα υπάρχουν τρεις πιεστικοί διακόπτες, εκ των οποίων οι δυο έχουν pull-down αντιστάσεις και δίνουν συνεχώς λογικό "0" στο CPLD μέχρι κάποιος από αυτούς να πατηθεί και ο ένας έχει pull-up αντίσταση και δίνει λογικό "1" για όσο διάστημα είναι σε ηρεμία.

Όπως φαίνεται και στο Σχήμα B.2.4.1 υπάρχουν παράλληλα με τις αντιστάσεις R41 και R42 δυο πυκνωτές. Οι πυκνωτές αυτοί χρησιμοποιούνται για να εξαλείψουν τα spikes που μπορεί να δημιουργηθούν κατά την πίεση του κάθε διακόπτη.



Σχήμα B.2.4.1 Κύκλωμα πιεστικών διακοπών (push buttons)

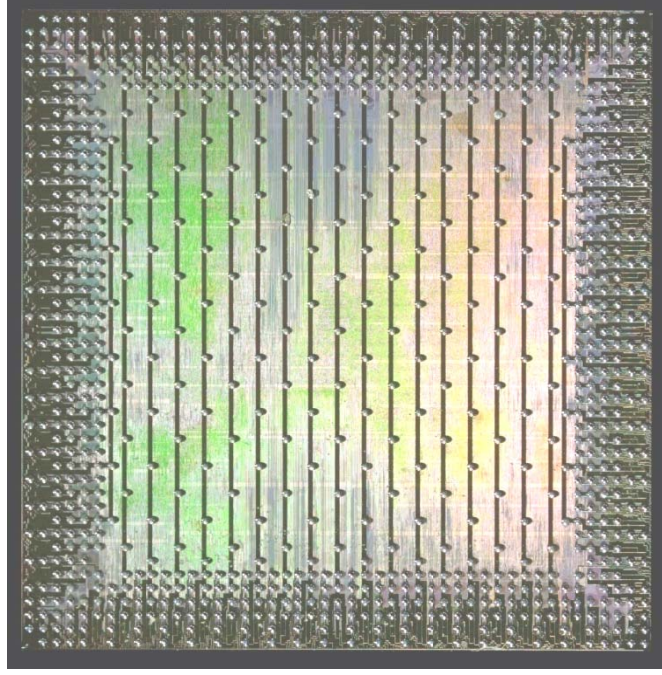
Πίνακας B.2.4.1 Αντιστοιχία push button με pins του CPLD

Push button	Pins του CPLD
1	43
2	42
3	44

Τροφοδοσία

Προγραμματισμός

Χρονισμός

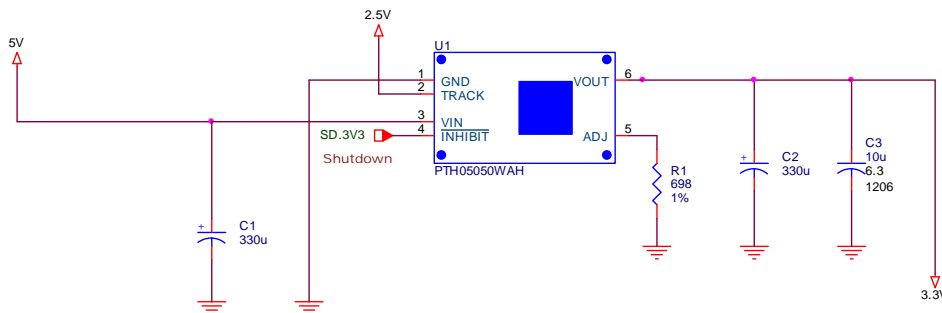


B.3 ΛΕΙΤΟΥΡΓΙΚΑ ΜΕΡΗ ΤΗΣ ΚΑΤΑΣΚΕΥΗΣ ΓΙΑ FPGA

B.3.1 ΤΡΟΦΟΔΟΣΙΑ

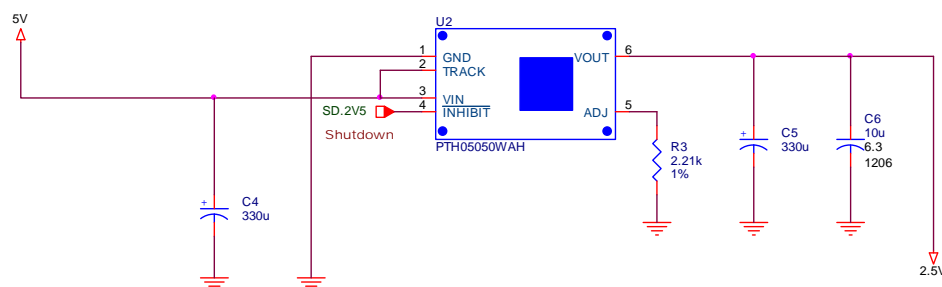
Η τροφοδοσία για τα FPGA είναι λίγο περισσότερο απαιτητική. Οι τάσεις οι οποίες είναι περισσότερες από μια υποχρεωτικά πρέπει να είναι πιο ακριβείς και χωρίς αποκλίσεις από την ονομαστική τους τιμή.

Το FPGA που χρησιμοποιούμε, λοιπόν, στην αναπτυξιακή πλακέτα το XC3S500E της σειράς Spartan-3E χρειάζεται συνολικά τρεις τάσεις τροφοδοσίας. Η μια τάση τροφοδοτεί τα I/O, ονομάζεται V_{CCIO} και έχει ονομαστική τιμή 3.3V. Αυτήν την τάση την παράγουν έτοιμα παλμοτροφοδοτικά της Texas Instruments τα οποία έχουν ακροδέκτες ώστε να κολληθούν πάνω στην κατασκευή. Τα τροφοδοτικά αυτά είναι τα **PTH05050WAH** και όπως φαίνεται και στο Σχήμα B.3.1.1, δέχονται μια τάση στην είσοδο τους (5V στη συγκεκριμένη κατασκευή) και με μια αντίσταση στο pin ADJ ρυθμίζουν την τάση στην έξοδο τους.

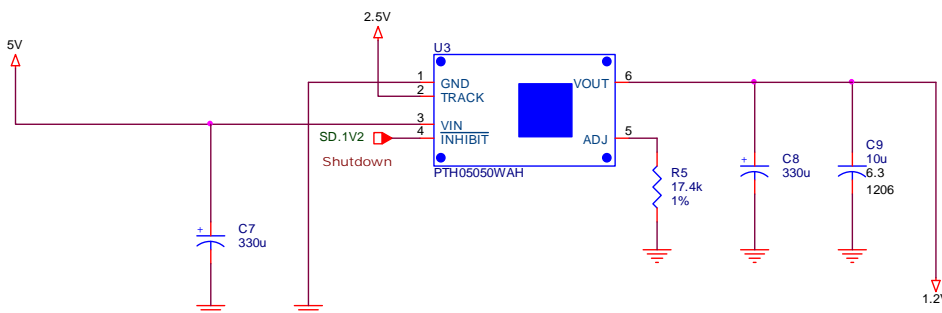


Σχήμα B.3.1.1 Κύκλωμα τροφοδοσίας 3.3V

Όπως παράγεται η τάση που φαίνεται παραπάνω, δημιουργούνται και οι τάσεις των 2.5V (V_{CCAUX}) και 1.2V (V_{CCINT}) χρησιμοποιώντας όμως άλλη αντίσταση στο pin ADJ του PTH05050WAH. Στα Σχήματα B.3.1.2 και B.3.1.3 φαίνονται τα σχηματικά διαγράμματα των τροφοδοτικών που παράγουν τις τάσεις των 2.5V και 1.2V αντίστοιχα.

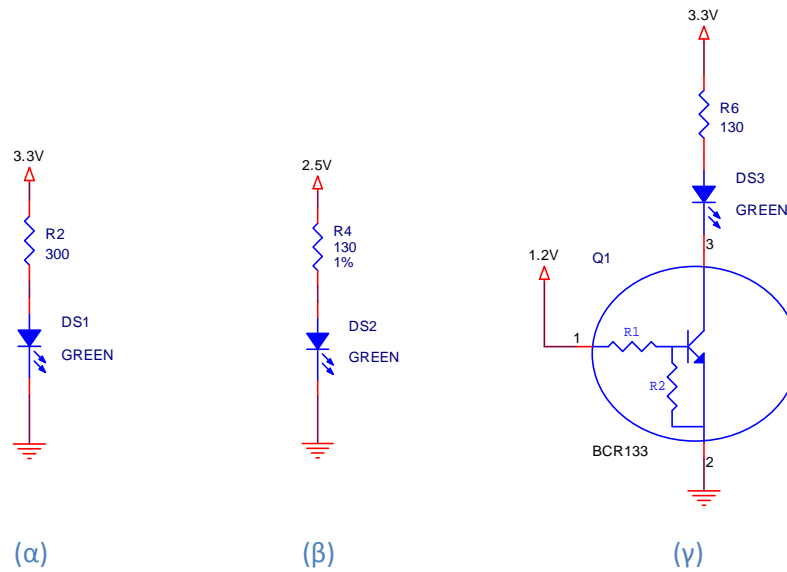


Σχήμα B.3.1.2 Κύκλωμα τροφοδοσίας 2.5V



Σχήμα B.3.1.3 Κύκλωμα τροφοδοσίας 1.2V

Σε κάθε έξοδο από τα τρία παλμοτροφοδοτικά τοποθετείται από ένα LED ώστε να υπάρχει οπτική ένδειξη λειτουργίας του καθενός. Στο Σχήμα Β.3.1.4 φαίνονται τα σχηματικά διαγράμματα των κυκλωμάτων αυτών.

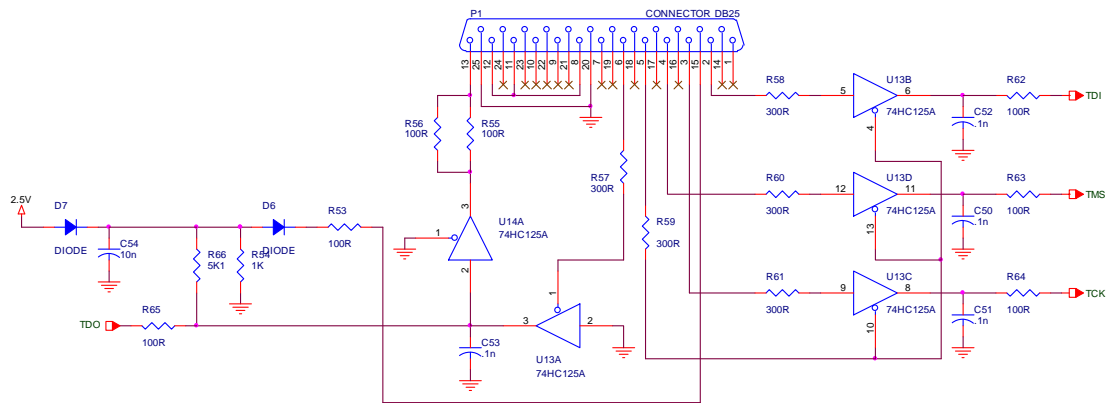


Σχήμα Β.3.1.4 Ένδειξη για τα (α) 3.3V, (β) 2.5V και (γ) 1.2V

Η τάση τροφοδοσίας όλης της πλακέτας, η οποία είναι 5V, παρέχεται στο κύκλωμα μέσω ενός διακόπτη από το βύσμα JP1. Αυτή η τάση δίδεται εξωτερικά και τα όρια της είναι από 4.5V μέχρι 5.5V.

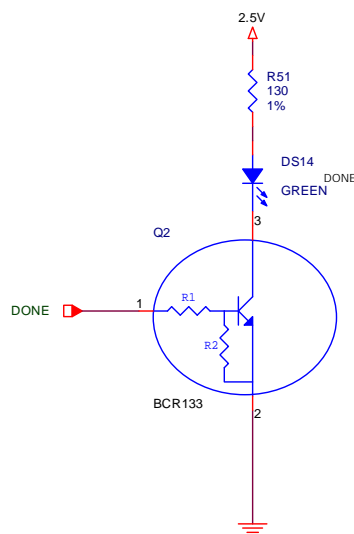
B.3.2 ΠΡΟΓΡΑΜΜΑΤΙΣΜΟΣ

Ο προγραμματισμός του FPGA έχει κάποιες διαφορές από τα CPLDs. Το πρόγραμμα δεν αποθηκεύεται απευθείας σ' αυτό, αλλά πρώτα σε μια μνήμη PROM την **XCFO4S**. Το πρωτόκολλο με το οποίο γίνεται η διασύνδεση με τον Η/Υ είναι πάλι το JTAG. Στο κύκλωμα του Σχήματος B.3.2.1 φαίνονται οι συνδέσεις που απαιτούνται μεταξύ των ολοκληρωμένων που αναλαμβάνουν τη διασύνδεση αυτή.



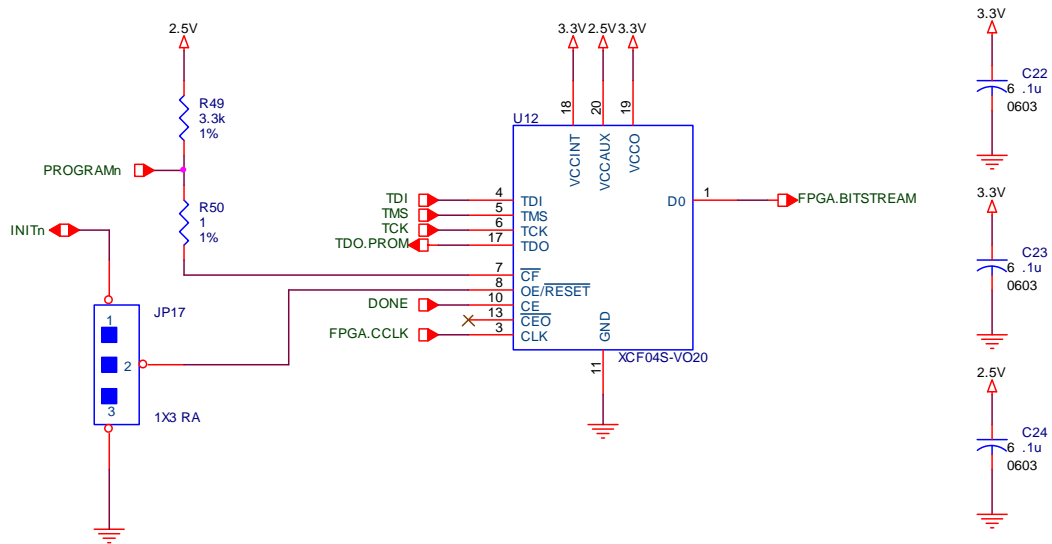
Σχήμα B.3.2.1 Σχηματικό διάγραμμα διασύνδεσης JTAG πρωτοκόλλου

Στο κύκλωμα υπάρχει επίσης ένα LED, το οποίο κατά τη διάρκεια του προγραμματισμού είναι ενεργό και ακτινοβολεί. Αυτό ενεργοποιείται από ένα pin του FPGA (DONE). Στο Σχήμα B.3.2.2 φαίνεται η συνδεσμολογία του κυκλώματος αυτού.



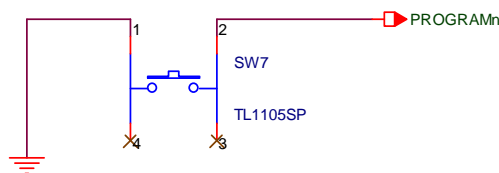
Σχήμα B.3.2.2 Ένδειξη προγραμματισμού

Σύμφωνα με όσα ειπώθηκαν πιο πάνω όμως, το πρόγραμμα δε θα περάσει απευθείας στο FPGA, αλλά σε μια μνήμη PROM η οποία είναι συνδεδεμένη με το FPGA με τέτοιο τρόπο ώστε το λογισμικό να βλέπει και τις δυο συσκευές με τη λειτουργία **Boundary Scan**. Έτσι, το σήμα TDI έρχεται στην είσοδο της μνήμης μαζί με το TMS και το TCK, ενώ το σήμα TDO συνδέεται στο FPGA μαζί με τα TMS και TCK. Το TDO του FPGA επιστρέφει στο JTAG. Όλα τα παραπάνω φαίνονται καλύτερα στο Σχήμα B.3.2.3.



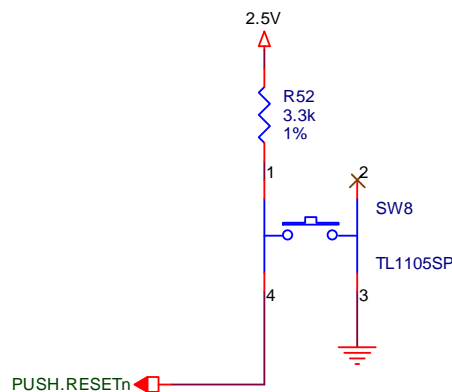
Σχήμα B.3.2.3 Κύκλωμα μνήμης PROM

Για να προγραμματιστεί το FPGA με το πρόγραμμα που έχει αποθηκευτεί στη μνήμη PROM πρέπει να πιεστεί ο διακόπτης SW7, ο οποίος θέτει το FPGA σε λειτουργία προγραμματισμού και ξεκινάει η διαδικασία. Όση ώρα διαρκεί αυτή η λειτουργία το LED DS14 ακτινοβολεί.



Σχήμα B.3.2.4 Διακόπτης προγραμματισμού

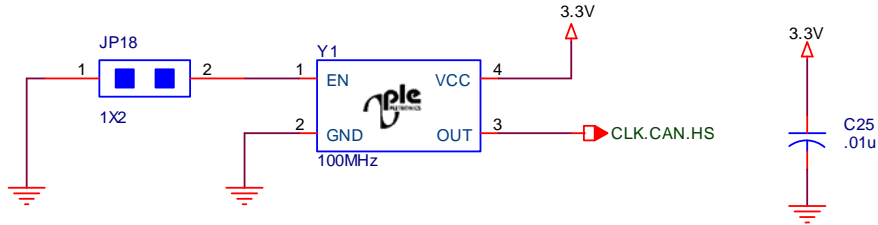
Μια ακόμη λειτουργία στο κύκλωμα είναι αυτή του reset. Η λειτουργία αυτή πραγματοποιείται πιέζοντας ένα διακόπτη (SW8) και κάνει επανεκκίνηση στο FPGA ώστε να αρχίσει η λειτουργία του κώδικα που έχει εισαχθεί σ' αυτό από την αρχή, χωρίς να σβήσει τα δεδομένα του προγράμματος του. Ο διακόπτης αυτός γειώνει το pin RESET του FPGA και έτσι ξεκινά η διαδικασία του reset.



Σχήμα B.3.2.5 Διακόπτης για reset

B.3.3 ΧΡΟΝΙΣΜΟΣ

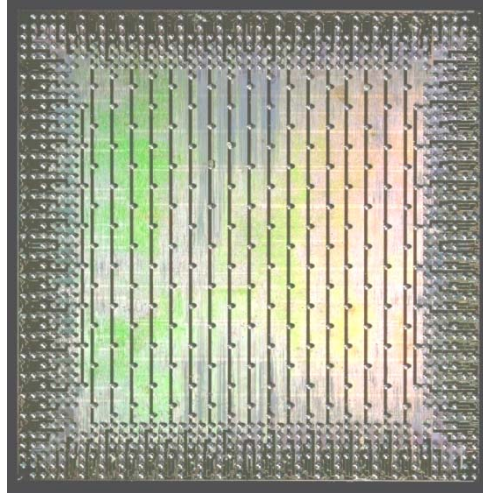
Το κύκλωμα που δίνει χρονισμό στο FPGA φαίνεται στο Σχήμα B.3.3.1 και αποτελείται από έναν ταλαντωτή οπ οποίος τροφοδοτείται με τάση 3.3V και στην έξοδο του παράγει παλμούς με συχνότητα 100MHz.



Σχήμα B.3.3.1 Κύκλωμα χρονισμού του FPGA

B.3.4 ΑΠΟΣΥΖΕΥΞΗ

Οι πυκνωτές αποσύζευξης (decoupling) είναι πολύ βασικοί και στα FPGA. Η τάση που φτάνει στα pins τροφοδοσίας τους δια μέσω των αγωγών του τυπωμένου κυκλώματος πρέπει να είναι σταθερή και χωρίς κυμάτωση. Αυτό μπορεί να μη συμβαίνει λόγω παρασιτικών ρευμάτων και άλλων αιτίων. Προκειμένου να εξαλειφθεί αυτό το φαινόμενο τοποθετούνται κοντά στα pins τροφοδοσίας των ολοκληρωμένων πυκνωτές αποσύζευξης. Η λειτουργία τους είναι να φορτίζουν με την τάση τροφοδοσίας και να την κρατούν σταθερή. Η απόσταση των πυκνωτών από τα pins τροφοδοσίας των ολοκληρωμένων και κυρίως του FPGA δεν πρέπει να ξεπερνά το 1εκ.



Αναλογικές-Ψηφιακές Είσοδοι-Έξοδοι

Ενδείκτες 7 τομέων

Ενδείκτες LEDs

Οθόνη LCD 2 γραμμών, 16 χαρακτήρων

Μικροδιακόπτες

Πιεστικοί Διακόπτες

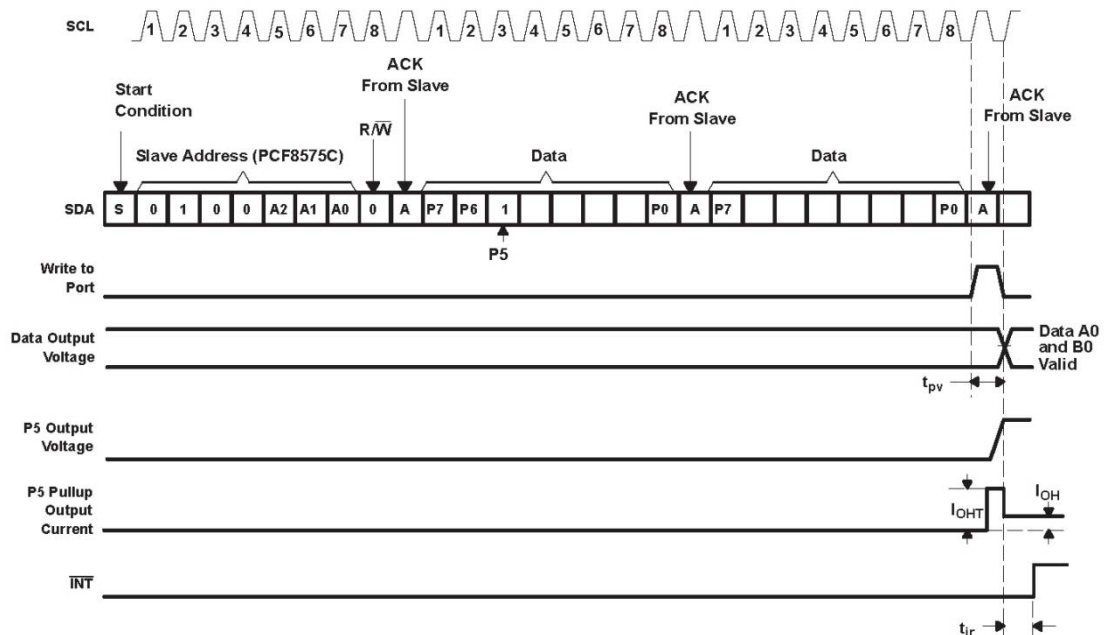
Διασύνδεση PS/2

Διασύνδεση RS-232

Έξοδος VGA

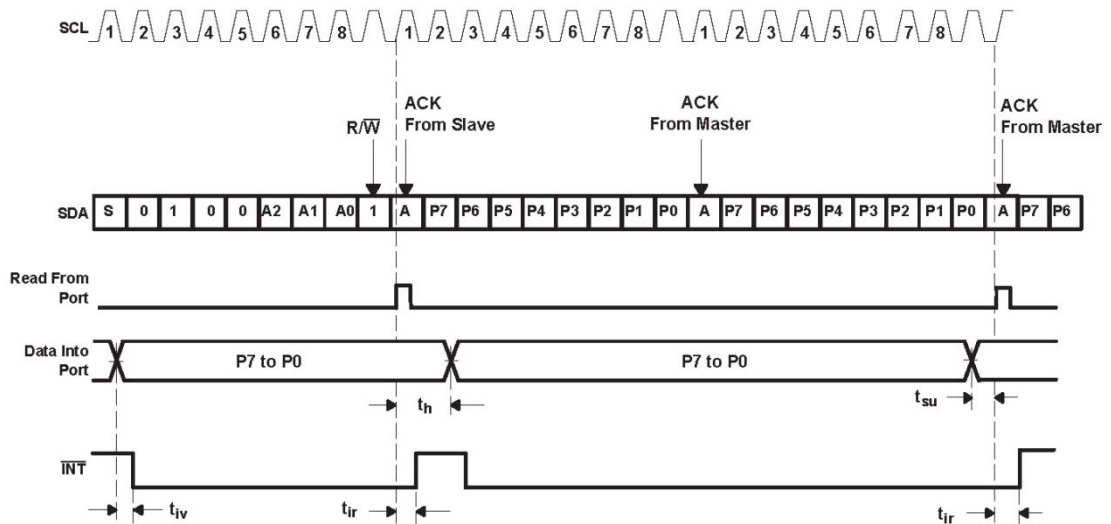
B.4.1 ΑΝΑΛΟΓΙΚΕΣ-ΨΗΦΙΑΚΕΣ ΕΙΣΟΔΟΙ-ΕΞΟΔΟΙ

Η κατασκευή της αναπτυξιακής πλακέτας με το FPGA περιλαμβάνει κάποιες εισόδους και εξόδους ψηφιακών σημάτων. Οι εισόδοι και οι έξοδοι αυτές δίνονται μέσω της ακίδοσειράς JP12 στο χρήστη από δυο ολοκληρωμένα PCF8574 και είναι συνολικά 16 (8 από κάθε PCF8574). Στην ακίδοσειρά τα pins 19, 20 είναι γειωμένα και τα 1, 2 έχουν τάση 5V. Τα ολοκληρωμένα αυτά επικοινωνούν με το FPGA με το σειριακό πρωτόκολλο I²C. Το πρωτόκολλο αυτό είναι δισύρματο και τα σήματα που χρησιμοποιεί είναι το SCL και το SDA. Κάθε ολοκληρωμένο έχει μια διεύθυνση, την οποία και ορίζουμε στα bit A0, A1, A2. Το πρωτόκολλο I²C χρησιμοποιεί μια συσκευή ως master και πολλές ως slave. Στη συγκεκριμένη περίπτωση η master συσκευή είναι το FPGA και οι συσκευές slave όλα τα ολοκληρωμένα που επικοινωνούν με I²C. Κάθε slave συσκευή συγχρονίζεται με το FPGA μέσω του σήματος SCL και δέχεται δεδομένα στο σήμα SDA. Προκειμένου να επιτευχθεί επικοινωνία μέσω του διαύλου I²C όπως φαίνεται και στο Σχήμα B.4.1.1 ο master δημιουργεί ένα σήμα clock το οποίο λαμβάνουν όλες οι συσκευές που συνδέονται σ' αυτόν. Κάθε φορά όμως μπορεί να επικοινωνήσει μόνο μια συσκευή slave με τον master. Αυτό γίνεται με την παρακάτω διαδικασία: Στέλνει ο master ένα start bit και αμέσως μετά τη διεύθυνση του slave με τον οποίο θέλει να επικοινωνήσει μαζί με ένα bit R/W αναλόγως με τη λειτουργία που θα εκτελέσει (ανάγνωση ή εγγραφή). Έτσι, αν ο χρήστης θέλει να εξαγάγει ψηφιακή πληροφορία για να τη δεχθεί κάποια άλλη εξωτερική συσκευή, ο master θέτει το bit R/W σε "0" και μετά στέλνει τα δεδομένα σε byte, τα οποία αποθηκεύονται στον slave. Στο τέλος στέλνει ένα stop bit.



Σχήμα B.4.1.1 Σήματα εξόδου από τον PCF8574

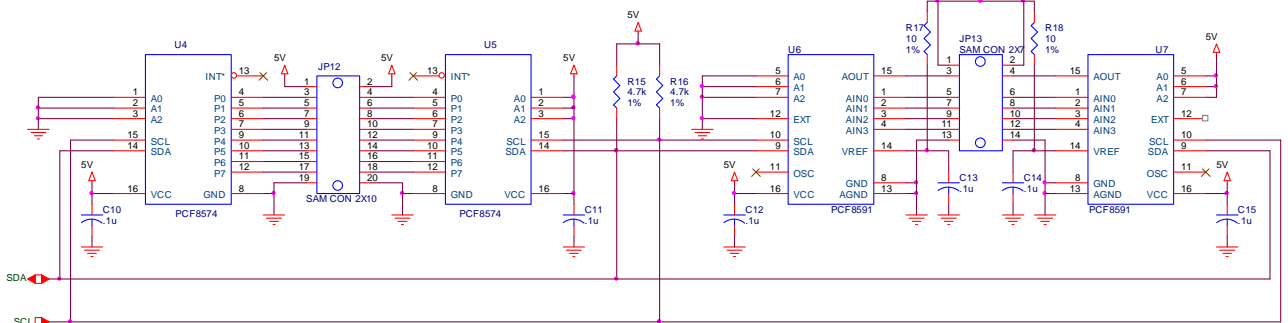
Με τον ίδιο τρόπο και με μοναδική διαφορά στο bit R/W ο master διαβάζει ότι του στέλνει το PCF8574 και τότε η ακίδοσειρά JP12 γίνεται είσοδος. Στο Σχήμα B.4.1.2 φαίνεται το διάγραμμα με τη διαδικασία εισαγωγής δεδομένων από εξωτερική συσκευή.



Σχήμα Β.4.1.2 Σήματα εξόδου από τον PCF8574 στο FPGA

Με παρόμοια διαδικασία αλλά με τα ολοκληρωμένα PCF8591 αυτή τη φορά προκύπτουν εισοδοί από αναλογικά σήματα και έξοδοι σε αναλογικά. Τα ολοκληρωμένα αυτά χρησιμοποιούν τον ίδιο δίαυλο I²C που φαίνεται και παραπάνω και μετατρέπουν το αναλογικό σήμα που δέχονται στην είσοδο τους σε ψηφιακό ώστε να το χρησιμοποιήσει το FPGA ή μετατρέπουν το ψηφιακό σήμα που δέχονται από το FPGA σε αναλογικό και να οδηγήσουν μια εξωτερική συσκευή. Οι αναλογικές εισοδοί και έξοδοι, συνολικά 8 (4 για κάθε PCF8591), δίδονται στην ακιδοσειρά JP13. Τα pin 1, 2 παρέχουν στο χρήστη τάση 5V και τα 13, 14 γειώνονται.

Στο Σχήμα Β.4.1.3 φαίνεται ολόκληρο το σχηματικό διάγραμμα του κομματιού που δίνει εισόδους και εξόδους στην αναπτυξιακή πλακέτα χρησιμοποιώντας μόνο δυο pin από I/O του FPGA.



Σχήμα Β.4.1.3 Σχηματικό διάγραμμα αναλογικών και ψηφιακών εισόδων-εξόδων

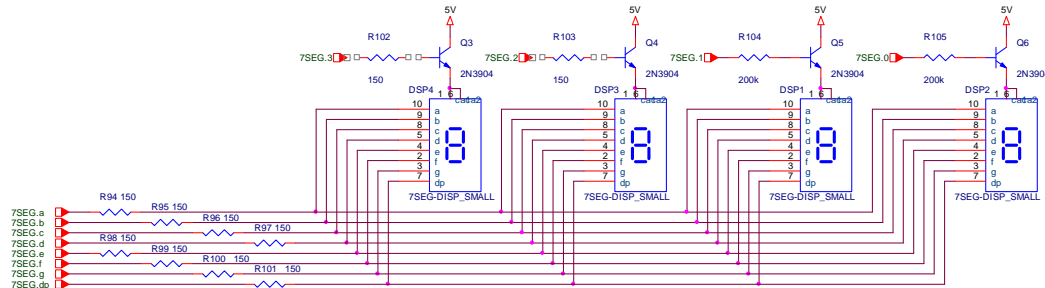
Στον Πίνακα Β.4.1.1 αναφέρονται τα pin του FPGA που ελέγχουν το SDA και SCL του διαύλου I²C.

Πίνακας Β.4.1.1 Αντιστοίχια σημάτων του I²C με τα pin του FPGA

Δίαυλος I ² C	Pins του FPGA
SDA	P2
SCL	P3

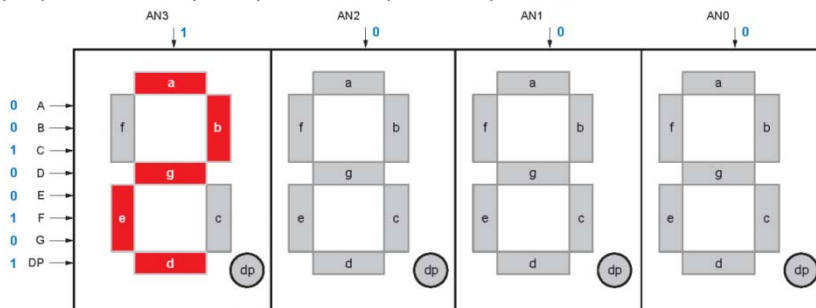
B.4.2 ΕΝΔΕΙΚΤΕΣ 7 ΤΟΜΕΩΝ

Η αναπτυξιακή πλακέτα έχει τέσσερις ενδείκτες 7 τομέων κοινής ανόδου οι οποίες ελέγχονται από τα user I/O του FPGA, όπως φαίνεται στο Σχήμα B.4.2.1. Κάθε ενδείκτης μοιράζεται οκτώ κοινά σήματα ελέγχου για να ανάβει ξεχωριστά κάθε τομέα LED. Κάθε ξεχωριστός ενδείκτης έχει μια ανεξάρτητη είσοδο ελέγχου στην άνοδο.



Σχήμα B.4.2.1 Κύκλωμα ενδεικτών LED 7-τομέων

Για να ανάψει ένας μεμονωμένος τομέας οδηγείται το σήμα που ελέγχει την κάθοδο του σε Low κατάσταση, μέσω του pin του FPGA, ενώ το σήμα που ελέγχει το τρανζίστορ που έχει στην κοινή άνοδο του ενδείκτη οδηγείται σε High. Στο Σχήμα B.4.2.2, για παράδειγμα, ο πρώτος ενδείκτης απεικονίζει το '2'. Η ψηφιακή τιμή που πρέπει να πάρουν οι ενδείκτες είναι αυτή που φαίνεται στο Σχήμα B.2.4.2 με μπλε γράμματα. Την τιμή που φαίνεται στο σχήμα δεν την παίρνει η άνοδος AN3, αλλά το NPN τρανζίστορ που την ελέγχει στη βάση του, ενώ ο συλλέκτης του συνδέεται στα 5V. Όταν ενεργοποιείται το τρανζίστορ και άγει δίνει στην κοινή άνοδο 5V και σε συνδυασμό με τα bit ελέγχου για τους τομείς ανάβουν τα αντίστοιχα LED.



Σχήμα B.4.2.2 Παράδειγμα χρήσης των ενδεικτών 7-τομέων

Στον Πίνακα B.4.2.1 υπάρχουν οι συνδέσεις του FPGA με τους ενδείκτες 7-τομέων. Στον Πίνακα B.4.2.2 φαίνονται οι συνδέσεις με τα τρανζίστορ που ελέγχουν τις κοινές ανόδους των ενδεικτών. Ενώ, στον Πίνακα B.4.2.3 υπάρχουν έτοιμες οι ψηφιακές λέξεις που πρέπει να δοθούν για να εμφανιστούν συγκεκριμένοι χαρακτήρες σε κάθε ενδείκτη.

Πίνακας B.4.2.1 Συνδέσεις των κοινών pins των τομέων με τα pins του FPGA

Τομείς	Pins του FPGA
A	P4
B	P5
C	P8
D	P9
E	P11
F	P12
G	P15
DP	P16

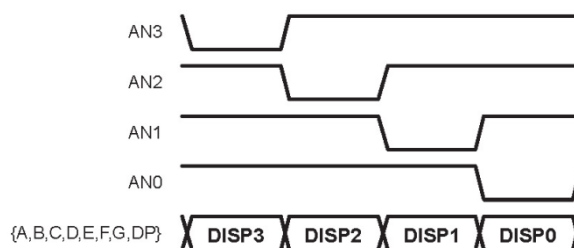
Πίνακας B.4.2.2 Συνδέσεις των κοινών ανόδων των ενδεικτών με τα pins του FPGA

Κοινή Άνοδος	AN3	AN2	AN1	AN0
Pins του FPGA	P18	P19	P22	P23

Πίνακας B.4.2.3 Έτοιμες ψηφιακές λέξεις για συγκεκριμένους χαρακτήρες

Χαρακτήρας	a	B	c	d	e	f	g
0	0	0	0	0	0	0	1
1	1	0	0	1	1	1	1
2	0	0	1	0	0	1	0
3	0	0	0	0	1	1	0
4	1	0	0	1	1	0	0
5	0	1	0	0	1	0	0
6	0	1	0	0	0	0	0
7	0	0	0	1	1	1	1
8	0	0	0	0	0	0	0
9	0	0	0	0	1	0	0
A	0	0	0	1	0	0	0
b	1	1	0	0	0	0	0
c	1	1	1	0	0	1	0
d	1	0	0	0	0	1	0
E	0	1	1	0	0	0	0
F	0	1	1	1	0	0	0

Τα σήματα ελέγχου των κοινών ανόδων των ενδεικτών είναι πολυπλεγμένα κατά χρόνο για τα δείχνουν ένδειξη και στους τέσσερις ενδείκτες ταυτόχρονα, όπως φαίνεται στο Σχήμα B.4.2.3. Όπως και στην αναπτυξιακή με FPGA τοποθετούνται οι τιμές των bit που ελέγχουν τους τομείς και αμέσως ενεργοποιείται ο ενδείκτης που πρέπει να εμφανίσει αυτό το αποτέλεσμα θέτοντας το bit ελέγχου του σε High. Με τον τρόπο αυτό επειδή η συχνότητα αυτής της εναλλαγής των ενδεικτών είναι μεγάλη ο χρήστης βλέπει να ανάβουν όλοι οι ενδείκτες ταυτόχρονα. Αυτό συμβαίνει σε κάθε είδους οθόνη που υπάρχει σήμερα.

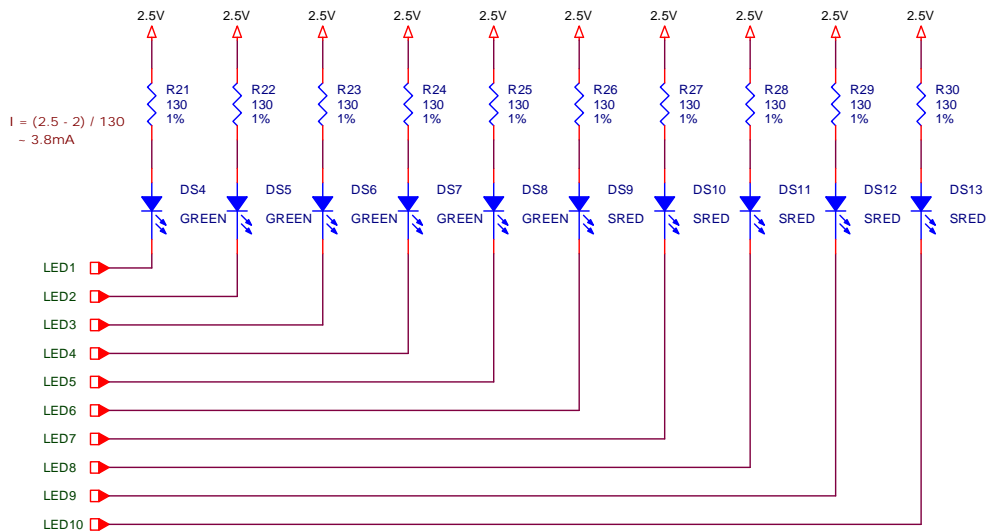


Σχήμα B.4.2.3 Παλμοί ελέγχου για όλα τα σήματα των ενδεικτών

Αυτή η τεχνική της σάρωσης μειώνει τον αριθμό των user I/O pins τα οποία απαιτούνται και για τους τέσσερις ενδείκτες. Αν ένα pin του FPGA ήταν αφιερωμένο ξεχωριστά για κάθε τομέα του κάθε ενδείκτη, τότε θα χρειαζόταν συνολικά 32 pins για όλους τους ενδείκτες. Με την τεχνική σάρωσης όμως μειώνεται ο αριθμός αυτός στα 12 pins.

B.4.3 ΕΝΔΕΙΚΤΕΣ LEDs

Οι ενδείκτες LED είναι συνολικά τέσσερις. Συνδέεται η κάθοδος τους σε user pins του FPGA και στην άνοδο του καθενός τοποθετείται μια αντίσταση για να περιοριστεί το ρεύμα, ενώ το άλλο άκρο της αντίστασης συνδέεται στη τάση τροφοδοσίας 2.5V. Οι αντιστάσεις υπολογίστηκαν στα 130Ω και επιλέχτηκε να συνδεθεί η κάθοδος του LED στο FPGA για να μπορεί να παρέχει το απαιτούμενο ρεύμα, αφού για λογικό "0", όπως φαίνεται και σε προηγούμενο κεφάλαιο, το μέγιστο ρεύμα φτάνει τα 20mA.



Σχήμα B.4.3.1 Σχηματικό διάγραμμα ενδεικτών LED

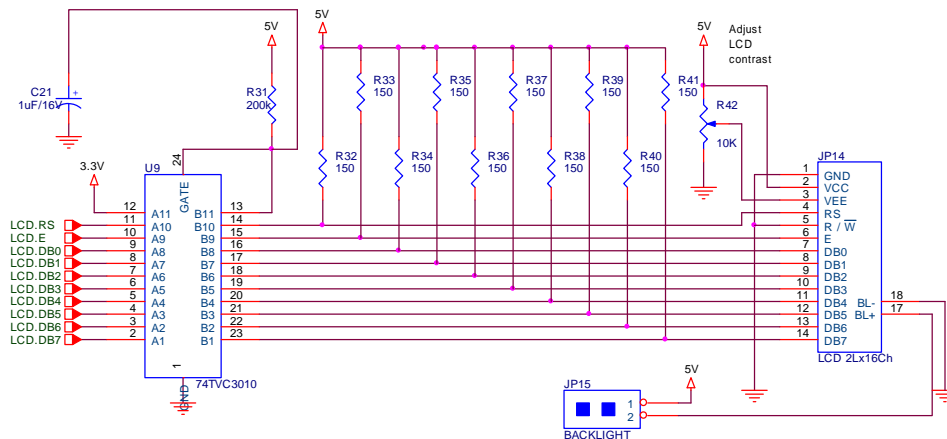
Παρακάτω στον Πίνακα B.4.3.1 φαίνεται η αντιστοιχία των pins του FPGA και των LED που ελέγχει το καθένα από αυτά.

Πίνακας B.4.3.1 Αντιστοιχία ενδεικτών LED με pin του FPGA

LED	Pins του FPGA
DS1	P24
DS2	P25
DS3	P28
DS4	P29
DS5	P30
DS6	P31
DS7	P33
DS8	P34
DS9	P35
DS10	P36

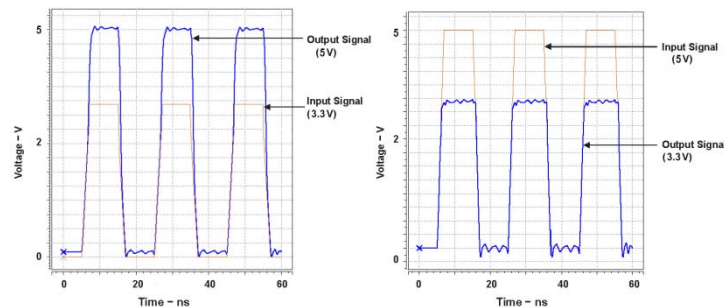
B.4.4 ΟΘΟΝΗ LCD 2 ΓΡΑΜΜΩΝ 16 ΧΑΡΑΚΤΗΡΩΝ

Για την LCD οθόνη 2 γραμμών x 16 χαρακτήρων χρησιμοποιήθηκε το ολοκληρωμένο 74TVC3010 προκειμένου να μετατραπούν οι στάθμες των 3.3V, που δίνει το FPGA, σε στάθμες 5V, που χρειάζεται η οθόνη για τη σωστή λειτουργία της. Το pin R/W της LCD οθόνης είναι μόνιμα γειωμένο που σημαίνει ότι δε μπορεί να διαβαστεί από τις μνήμες της, αλλά μόνο να στείλει δεδομένα για να εμφανίσει. Χρησιμοποιήθηκε ακόμη, ένα τρίμμερ για τη ρύθμιση της αντίθεσης και ένας βραχυκυκλωτήρας για να λειτουργήσει τον οπίσθιο φωτισμό της (backlight).



Σχήμα B.4.4.1 Κύκλωμα οδήγησης οθόνης LCD 2x16 με backlight

Στο Σχήμα B.4.5.2 φαίνονται οι κυματομορφές εισόδου και εξόδου του ολοκληρωμένου 74TVC3010.



Σχήμα B.4.4.2 Κυματομορφές εισόδων/εξόδων του 74TVC3010

Στον Πίνακα B.4.5.1 φαίνονται τα pins του FPGA που χρησιμοποιούνται για την οθόνη LCD.

Πίνακας B.4.4.1 Αντιστοιχία σημάτων οθόνης LCD με pins του FPGA

Σήματα οθόνης LCD	Pins του FPGA
RS	P39
E	P40
DB0	P41
DB1	P42
DB2	P47
DB3	P48
DB4	P49
DB5	P50
DB6	P106
DB7	P107

B.4.5 ΜΙΚΡΟΔΙΑΚΟΠΤΕΣ

Οι μικροδιακόπτες είναι ένα πολύ χρήσιμο εργαλείο για κατασκευές όπως αυτή που παρουσιάζεται, γιατί βοηθούν το χρήστη να εισάγει δεδομένα στο FPGA σε δυαδικό κώδικα.

Η μια πλευρά της συσκευασίας των μικροδιακοπών συνδέεται απευθείας στη γη, ενώ τα υπόλοιπα οκτώ pins της άλλης πλευράς συνδέονται στο FPGA. Όπως φαίνεται εδώ δεν υπάρχουν pull-up αντιστάσεις. Η έλλειψη των αντιστάσεων αυτών έγινε σκόπιμα και σκοπός της ήταν η εξοικείωση του χρήστη με τη σχεδίαση στο εσωτερικό του FPGA. Το FPGA, όπως αναφέρθηκε στο θεωρητικό μέρος, έχει τη δυνατότητα να συνδέσει εσωτερικά κάποια pins με pull-up ή pull-down αντιστάσεις. Αυτό σημαίνει πως ο χρήστης, αν χρησιμοποιήσει αυτές τις εισόδους του FPGA, πρέπει υποχρεωτικά να σχεδιάσει στο εσωτερικό του FPGA pull-up αντιστάσεις και να τις ενώσει στα pins αυτά. Διαφορετικά, όταν ο διακόπτης του SW6 δεν είναι κλειστός προς τη γη η είσοδος που αναλογεί σ' αυτόν θα δίνει στο FPGA απροσδιόριστη κατάσταση (floating).



Σχήμα B.4.5.1 Κύκλωμα μικροδιακοπών (dip-switch)

Στον Πίνακα B.4.6.1 φαίνονται τα pins που αντιστοιχούν σε κάθε διακόπτη του SW6.

Πίνακας B.4.5.1 Αντιστοιχία διακοπών με pin του FPGA

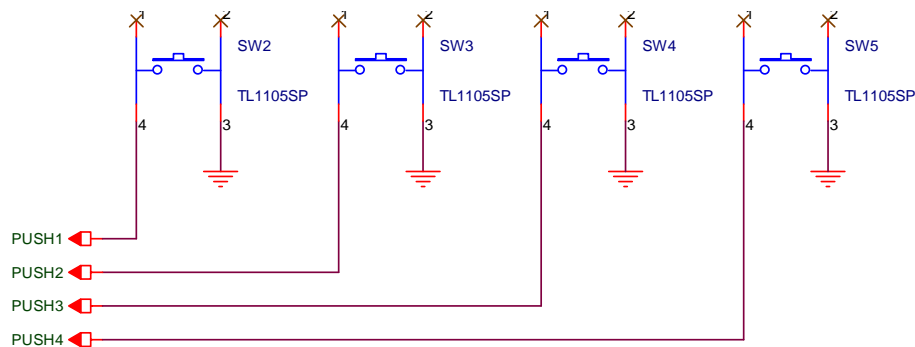
Διακόπτες του SW6	Pins FPGA
1	P108
2	P109
3	P110
4	P112
5	P113
6	P115
7	P116
8	P118

B.4.6 ΠΙΕΣΤΙΚΟΙ ΔΙΑΚΟΠΤΕΣ

Οι πιεστικοί διακόπτες χρησιμοποιούνται σε περιπτώσεις που ο χρήστης θέλει να δώσει μια λογική κατάσταση σε μια είσοδο του FPGA χωρίς να πρέπει να παραμείνει, όπως γίνεται με τους μικροδιακόπτες. Αυτή η κατάσταση μπορεί να χρησιμοποιηθεί από το FPGA όπως απαιτεί η συγκεκριμένη εφαρμογή.

Πρέπει να εισαχθούν και σε αυτήν την περίπτωση, στο σχεδιασμό της εφαρμογής, εσωτερικές pull-up αντιστάσεις, ώστε το FPGA να έχει στις συγκεκριμένες εισόδους λογική κατάσταση "1" όταν οι διακόπτες είναι σε ηρεμία. Όταν κάποιος από αυτούς πατηθεί τότε η είσοδος που ελέγχει θα γειωθεί και θα βλέπει λογική κατάσταση "1".

Οι πιεστικοί διακόπτες είναι συνολικά τέσσερις και φαίνονται στο Σχήμα B.4.7.1.



Σχήμα B.4.6.1 Σχηματικό διάγραμμα πιεστικών διακοπών (button)

Τα pins του FPGA που ελέγχουν οι τέσσερις αυτοί διακόπτες φαίνονται στον Πίνακα B.4.7.1.

Πίνακας B.4.6.1 Αντιστοιχία πιεστικών διακοπών με pins του FPGA

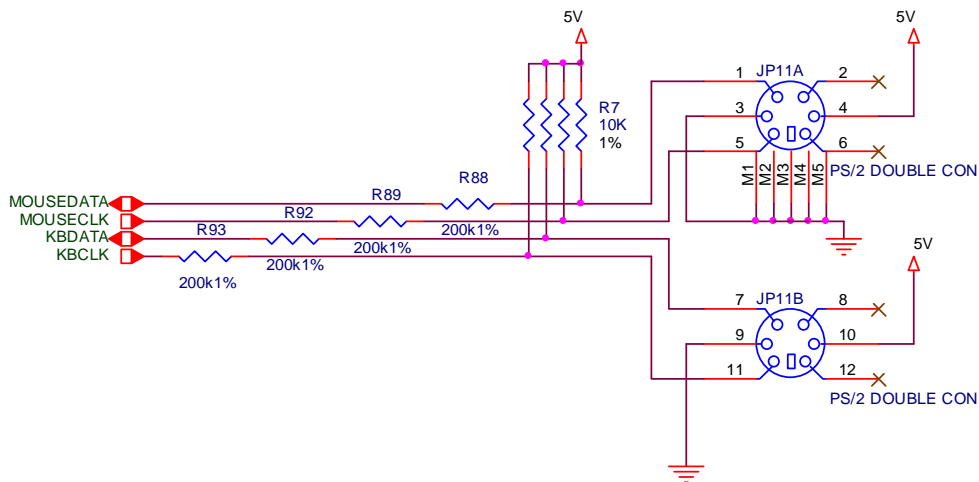
Πιεστικοί διακόπτες	Pins του FPGA
SW2	P119
SW3	P120
SW4	P122
SW5	P123

B.4.7 ΔΙΑΣΥΝΔΕΣΗ PS/2

Ένα επιπλέον περιφερειακό τοποθετείται στην αναπτυξιακή πλακέτα και είναι οι θέσεις για ποντίκι και πληκτρολόγιο.

Οι δυο αυτές συσκευές επικοινωνούν σειριακά με το FPGA και χρησιμοποιούν τα σήματα CLOCK και DATA. Άρα, χρειάζονται τέσσερα user I/O του FPGA για τις ελέγξουν. Το βύσμα JP11 είναι ένα διπλό βύσμα PS/2 του οποίου η μια θέση εξυπηρετεί το ποντίκι (mouse) και η άλλη το πληκτρολόγιο (keyboard). Στα pins 5 και 10 του JP11 συνδέεται η τάση των 5V που τροφοδοτεί τα κυκλώματα των δυο αυτών συσκευών, ενώ τα pins 3 και 9 γειώνονται.

Όμως, το FPGA στα user I/O χρησιμοποιεί στάθμες 3.3V, που σημαίνει ότι πρέπει να χρησιμοποιηθεί ένα ολοκληρωμένο το οποίο θα μετατρέπει τις στάθμες αυτών των σημάτων. Το ολοκληρωμένο που αναλαμβάνει να κάνει αυτή τη μετατροπή είναι το 74TVC3306. Η λειτουργία του είναι ίδια με αυτή του 74TVC3010, με μοναδική διαφορά στον αριθμό διαθέσιμων εισόδων και εξόδων.



Σχήμα B.4.7.1 Κύκλωμα PS/2 για ποντίκι και πληκτρολόγιο

Στον Πίνακα B.4.9.1 αναγράφονται τα pin του FPGA που εξυπηρετούν τις δυο αυτές συσκευές.

Πίνακας B.4.7.1 Αντιστοιχία σημάτων KBD/MOUSE με pin του FPGA

JP11	Pins του FPGA
Mouse data	P126
Mouse clock	P127
Keyboard data	P128
Keyboard clock	P129

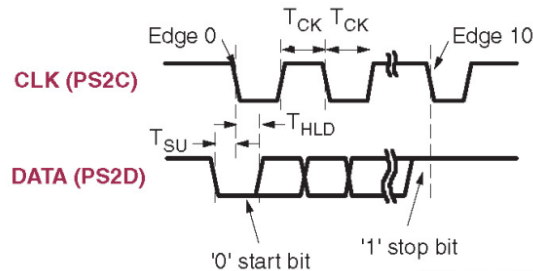
Το ποντίκι και το πληκτρολόγιο οδηγούν ένα bus με πανομοιότυπους χρονισμούς σημάτων. Και τα δυο χρησιμοποιούν λέξεις των 11-bit συμπεριλαμβανομένων των start, stop και bit περιττής ισοτιμίας (odd parity). Οποσδήποτε, τα πακέτα δεδομένων είναι οργανωμένα διαφορετικά στο ποντίκι απ' ότι στο πληκτρολόγιο. Επιπλέον, η διασύνδεση του πληκτρολογίου επιτρέπει μεταφορά δεδομένων διπλής κατεύθυνσης οπότε η host συσκευή να μπορεί να φωτίζει τα LEDs καταστάσεων πάνω στο πληκτρολόγιο.

Ο χρονισμός του bus του PS/2 φαίνεται στον Πίνακα B.4.8.2 και στο Σχήμα B.4.8.2. Τα σήματα clock και data οδηγούνται μόνο όταν εκδηλώνεται μεταφορά δεδομένων. Διαφορετικά κρατούνται σε μια αδρανή κατάσταση σε λογικό επίπεδο High. Ο χρονισμός καθορίζει τις απαιτήσεις των σημάτων για επικοινωνία mouse-to-

host και αμφίδρομες επικοινωνίες πληκτρολογίου. Όπως φαίνεται στο Σχήμα B.4.8.2, το συνδεδεμένο πληκτρολόγιο ή ποντίκι εγγράφει ένα bit στη γραμμή των δεδομένων όταν το σήμα του clock είναι High και ο host διαβάζει την γραμμή δεδομένων όταν το σήμα του clock είναι Low.

Πίνακας B.4.7.2 Χρονισμοί του Bus του PS/2

Σύμβολο	Παράμετροι	Ελάχιστο	Μέγιστο
T_{CK}	Χρόνος που το clock είναι High ή Low	30 μ s	50 μ s
T_{SU}	Χρόνος αναμονής δεδομένων για clock	5 μ s	25 μ s
T_{HLD}	Χρόνος συγκράτησης clock σε δεδομένα	5 μ s	25 μ s



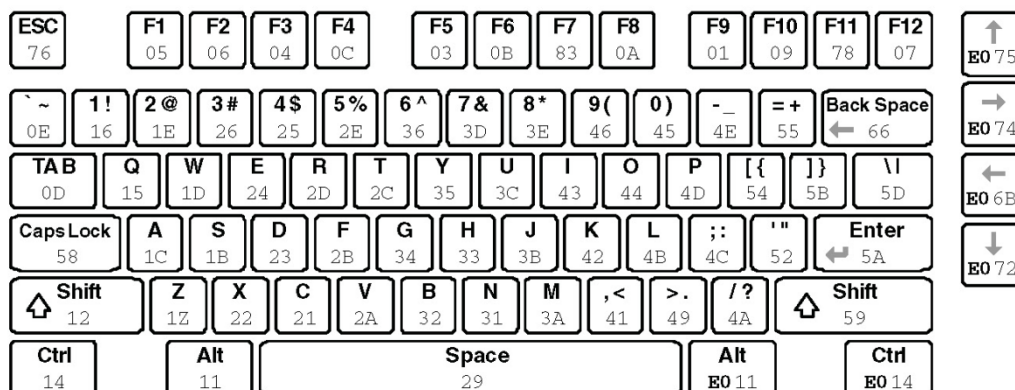
Σχήμα B.4.7.2 Κυματομορφές χρονισμού του PS/2

Το πληκτρολόγιο χρησιμοποιεί οδηγούς ανοικτού συλλέκτη οπότε είτε αυτό είτε ο η πλακέτα μπορούν να οδηγήσουν το bus των δυο γραμμών. Αν το FPGA δε στέλνει ποτέ δεδομένα στο πληκτρολόγιο, τότε μπορούν να χρησιμοποιηθούν pin εισόδου αντί για I/O.

Ένα πληκτρολόγιο με βύσμα PS/2 χρησιμοποιεί κώδικες σάρωσης για να επικοινωνήσει κάθε φορά που πιέζεται ένα πλήκτρο. Σχεδόν όλα τα πληκτρολόγια που χρησιμοποιούνται σήμερα είναι τύπου PS/2. Κάθε πλήκτρο έχει έναν απλό και μοναδικό κωδικό σάρωσης που στέλνεται κάθε φορά που πιέζεται. Οι κωδικοί σάρωσης για τα περισσότερα πλήκτρα φαίνονται στο Σχήμα B.4.8.3.

Αν το πλήκτρο πατηθεί και κρατηθεί εκεί, το πληκτρολόγιο στέλνει τον κωδικό σάρωσης κάθε 100 ms περίπου. Όταν ένα πλήκτρο αφεθεί, το πληκτρολόγιο στέλνει "F0" που είναι κωδικός αποδέσμευσης πλήκτρου ακολουθούμενου από τον κωδικό σάρωσης του πλήκτρο αυτού. Το πληκτρολόγιο στέλνει τον ίδιο κωδικό σάρωσης αδιαφορώντας για την ύπαρξη δεύτερου χαρακτήρα στο πλήκτρο, ή ακόμη για το αν έχει πατηθεί το πλήκτρο Shift ή όχι.

Κάποια πλήκτρα, γνωστά ως εκτεταμένα (extended), στέλνουν "E0" πριν από τον κωδικό σάρωσης και επιπλέον έχουν τη δυνατότητα να στείλουν πάνω από έναν κωδικό σάρωσης. Όταν ένα τέτοιο πλήκτρο αφεθεί ο κωδικός αποδέσμευσης είναι "E0 F0" ακολουθούμενος από τον κωδικό σάρωσης.



Σχήμα B.4.7.3 Κωδικοί σάρωσης πλήκτρων

Το FPGA μπορεί ακόμη να στείλει εντολές και δεδομένα στο πληκτρολόγιο. Στον Πίνακα Β.4.8.3 παρέχεται μια λίστα από κάποιες συχνά χρησιμοποιούμενες εντολές.

Πίνακας Β.4.7.3 Συχνές εντολές PS/2 πληκτρολογίου

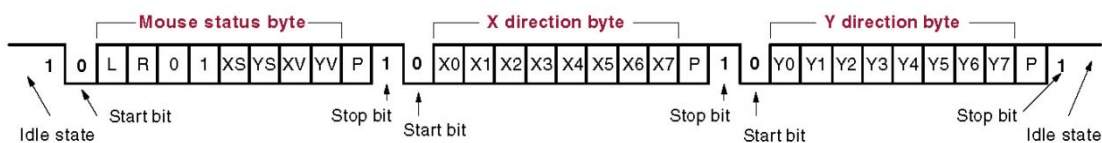
Εντολή	Περιγραφή																
ED	Ανάβει/Σβήνει τα LED των Num Lock, Caps Lock και Scroll Lock. Το πληκτρολόγιο αναγνωρίζει την παραλαβή μιας εντολής "ED", απαντάει με "FA", και μετά το FPGA στέλνει ένα byte για να ορίσει την κατάσταση των LED. Οι θέσεις των bit για τα LEDs του πληκτρολογίου παρουσιάζονται παρακάτω. Γράψτε "1" στο συγκεκριμένο bit για να φωτίσετε τα σχετικά LEDs του πληκτρολογίου. <table border="1" style="margin-left: 40px; margin-right: 40px;"> <tr> <td style="text-align: center;">7</td> <td style="text-align: center;">6</td> <td style="text-align: center;">5</td> <td style="text-align: center;">4</td> <td style="text-align: center;">3</td> <td style="text-align: center;">2</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> </tr> <tr> <td colspan="4" style="text-align: center;">Αδιάφορα</td> <td colspan="2" style="text-align: center;">Caps Lock</td> <td style="text-align: center;">Num Lock</td> <td style="text-align: center;">Scroll Lock</td> </tr> </table>	7	6	5	4	3	2	1	0	Αδιάφορα				Caps Lock		Num Lock	Scroll Lock
7	6	5	4	3	2	1	0										
Αδιάφορα				Caps Lock		Num Lock	Scroll Lock										
EE	Echo. Μετά από μια εντολή echo, το πληκτρολόγιο απαντάει με τον ίδιο κωδικό σάρωσης "EE".																
F3	Set scan code repeat rate. The keyboard acknowledges receipt of an "F3" by returning an "FA", after which the host sends a second byte to set the repeat rate.																
FE	Resend. Μετά από μια εντολή επανεκπομπής, το πληκτρολόγιο ξαναστέλνει τον τελευταίο κωδικό σάρωσης.																
FF	Reset. Επανεκκινεί το πληκτρολόγιο.																

Το πληκτρολόγιο στέλνει εντολές ή δεδομένα στο FPGA μόνο όταν το Clock και το Data είναι σε High (αδρανής κατάσταση).

Επειδή το FPGA είναι η master συσκευή, το πληκτρολόγιο ελέγχει πότε το FPGA στέλνει δεδομένα. Το Clock μπορεί να χρησιμοποιηθεί σαν σήμα καθαρισμού για αποστολή (clear to send). Αν το FPGA στείλει το Clock σε Low κατάσταση, το πληκτρολόγιο δεν πρέπει να στείλει κανένα δεδομένο μέχρι το Clock να απελευθερωθεί.

Το πληκτρολόγιο στέλνει δεδομένα στο FPGA σε μορφή λέξεων των 11-bit που περιέχουν ένα bit εκκίνησης (start bit) "0", ακολουθούμενο από οκτώ bits του κωδικού σάρωσης (το LSB πρώτα), από ένα bit περιττής ισοτιμίας (odd parity bit) και τερματίζει με το bit τερματισμού (stop bit) "1". Όταν το πληκτρολόγιο στέλνει δεδομένα, δημιουργεί 11 μεταβάσεις του Clock γύρω στα 20 με 30 kHz, και τα δεδομένα είναι έγκυρα στη καθοδική πλευρά του Clock, όπως φαίνεται στο Σχήμα Β.4.8.2.

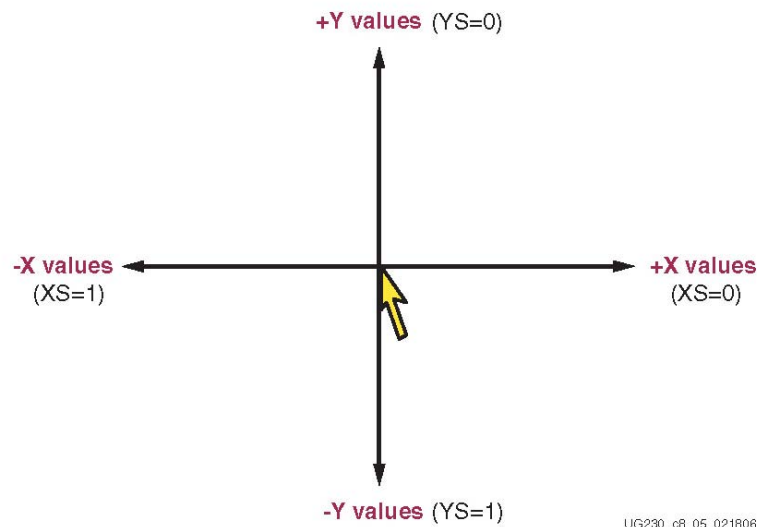
Το ποντίκι δημιουργεί ένα σήμα Clock και Data μετακινείται πάνω σε μια επιφάνεια, διαφορετικά, αυτά τα σήματα παραμένουν σε κατάσταση High, υποδηλώνοντας μια αδρανή κατάσταση. Κάθε φορά που το ποντίκι κινείται στέλνει τρεις λέξεις των 11-bit στο FPGA. Κάθε μια από τις τρεις λέξεις των 11-bit περιέχει ένα bit έναρξης "0" (start bit), ακολουθούμενο από οκτώ bit δεδομένων (πρώτα το LSB), από ένα bit περιττής ισοτιμίας (odd parity bit) και από ένα bit τερματισμού (stop bit) "1". Κάθε μετάδοση δεδομένων περιέχει συνολικά 33 bits, όπου τα 0, 11 και 22 είναι "0" start bits, ενώ τα 10, 21 και 32 "1" stop bits. Τα τρία πεδία δεδομένων των 8-bit περιέχουν δεδομένα κίνησης όπως φαίνεται στο Σχήμα Β.4.8.4. Τα δεδομένα είναι έγκυρα στην καθοδική πλευρά του Clock και η περίοδος του είναι 20 με 30 kHz.



Σχήμα Β.4.7.4 Συναλλαγή ενός PS/2 ποντικιού

Ένα ποντίκι τύπου PS/2 έχει ένα σχετικό σύστημα συντεταγμένων (Σχήμα Β.4.8.5), πάνω στο οποίο κινείται δεξιά για να δημιουργήσει μια θετική τιμή στον άξονα X και αριστερά για να δημιουργήσει αντίστοιχα μια αρνητική. Παρομοίως, μετακινώντας το

ποντίκι επάνω και κάτω δημιουργεί αντίστοιχα θετικές και αρνητικές τιμές. Τα XS και YS bits στο byte κατάστασης καθορίζουν το πρόσημο τις κάθε τιμής και όπου υπάρχει "1" υποδηλώνει αρνητικό πρόσημο.



Σχήμα B.4.7.5 Σύστημα συντεταγμένων για καθορισμό της κίνησης του ποντικιού

Το μέγεθος των τιμών X και Y αντιπροσωπεύει την ταχύτητα της κίνησης του ποντικιού. Μεγαλύτερη τιμή σημαίνει και γρηγορότερη κίνηση. Τα bits XV και YV στο byte κατάστασης επισημαίνει τότε τα X ή Y έχουν υπερβεί τις μέγιστες τιμές τους, είναι δηλαδή μια συνθήκη υπερχείλισης. Το "1" υποδηλώνει τότε εμφανίζεται υπερχείλιση. Αν το ποντίκι μετακινείται συνεχώς προς την ίδια κατεύθυνση, τα 33-bit της μετάδοσης επαναλαμβάνονται κάθε 50 ms περίπου.

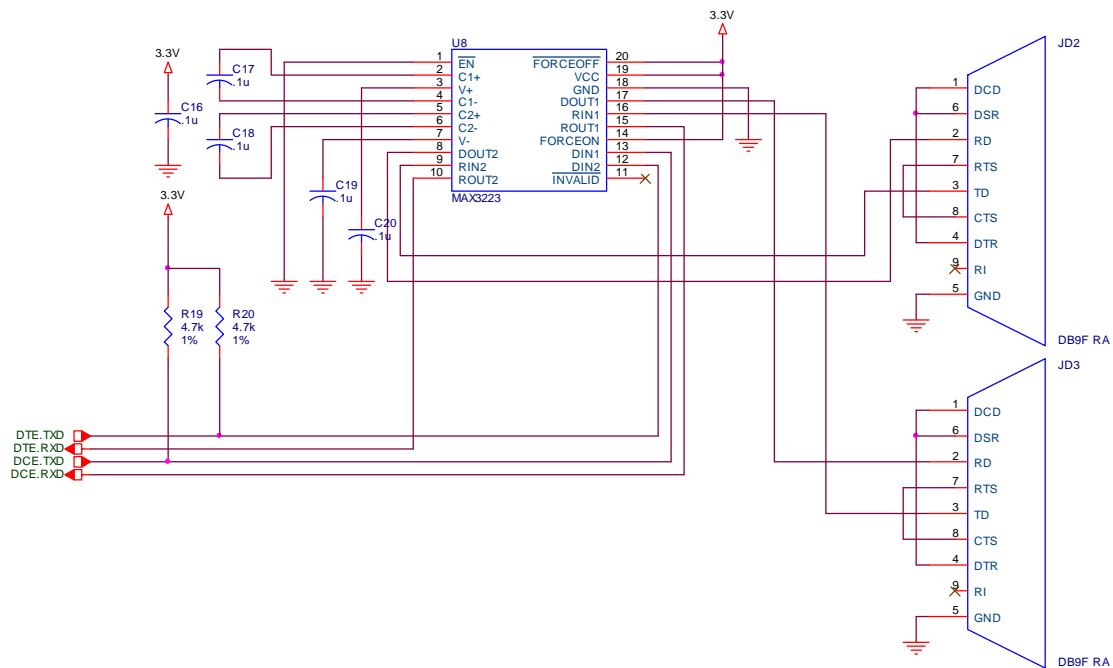
Τα πεδία L και R στο byte κατάστασης υποδηλώνουν το πάτημα του αριστερού ή του δεξιού πλήκτρου του ποντικιού αντίστοιχα. Το "1" υποδηλώνει το σχετικό πλήκτρο του ποντικιού έχει πατηθεί.

Το βύσμα PS/2 στην αναπτυξιακή πλακέτα τροφοδοτείται με 5V. Μολονότι το FPGA δεν είναι συμβατό με 5V, μπορεί να επικοινωνεί με συσκευές που χρησιμοποιούν 5V χρησιμοποιώντας αντιστάσεις σε σειρά των 270Ω για περιορισμό του ρεύματος, όπως φαίνεται στο Σχήμα B.4.8.1.

B.4.8 ΔΙΑΣΥΝΔΕΣΗ RS-232

Όπως φαίνεται στο Σχήμα B.4.9.1, η αναπτυξιακή πλακέτα έχει δυο σειριακές πόρτες RS-232. Μια με θηλυκό βύσμα DB9 (DCE) και μια με αρσενικό βύσμα (DTE). Το θηλυκό βύσμα συνδέεται απευθείας στη σειριακή πόρτα που έχουν οι περισσότεροι Η/Υ μέσω ενός σειριακού καλωδίου χωρίς αντιστροφή (straight-through). Για τυπικές εφαρμογές δεν απαιτείται καλώδιο null modem.

Χρησιμοποιείστε το DTE βύσμα για να ελέγξετε άλλα περιφερειακά που χρησιμοποιούν RS-232, όπως modems ή εκτυπωτές, ή έναν απλό βρόγχο ελέγχου με το DCE βύσμα.



Σχήμα B.4.8.1 Κύκλωμα σειριακών πορτών RS-232

Επίσης, στο Σχήμα B.4.9.1 φαίνονται οι συνδέσεις μεταξύ του FPGA και των δυο βυσμάτων DB9. Το FPGA τροφοδοτεί με σειριακά δεδομένα εξόδου, χρησιμοποιώντας LVTTTL ή LVCMOS στάθμες, το MAX3223, το οποίο στη συνέχεια, μετατρέπει τις λογικές τιμές στα κατάλληλα επίπεδα τάσης για το RS-232. Παρομοίως, το MAX3223 μετατρέπει τα σειριακά δεδομένα εισόδου σε LVTTTL στάθμες για το FPGA.

Ο έλεγχος ροής δεν υποστηρίζεται από το βύσμα. Τα σήματα DCD, DTR και DSR του κάθε βύσματος βραχυκυκλώνονται μεταξύ τους. Παρομοίως, τα σήματα RTS και CTS των βυσμάτων βραχυκυκλώνονται κι αυτά.

Πίνακας B.4.8.1 Αντιστοιχία των σημάτων του RS-232 με pins του FPGA

RS-232	FPGA
DTE.TXD	P132
DTE.RXD	P133
DCE.TXD	P134
DCE.RXD	P135

B.4.9 ΕΞΟΔΟΣ VGA

Η αναπτυξιακή πλακέτα περιλαμβάνει, επιπλέον, μια πόρτα για οθόνη VGA μέσω ενός βύσματος DB15. Αυτή η πόρτα συνδέεται απευθείας στις περισσότερες οθόνες για H/Y ή σε επίπεδες οθόνες LCD χρησιμοποιώντας ένα απλό καλώδιο οθόνης. Όπως φαίνεται και στο Σχήμα B.4.10.1, στο JD1 συνδέεται το καλώδιο της οθόνης.

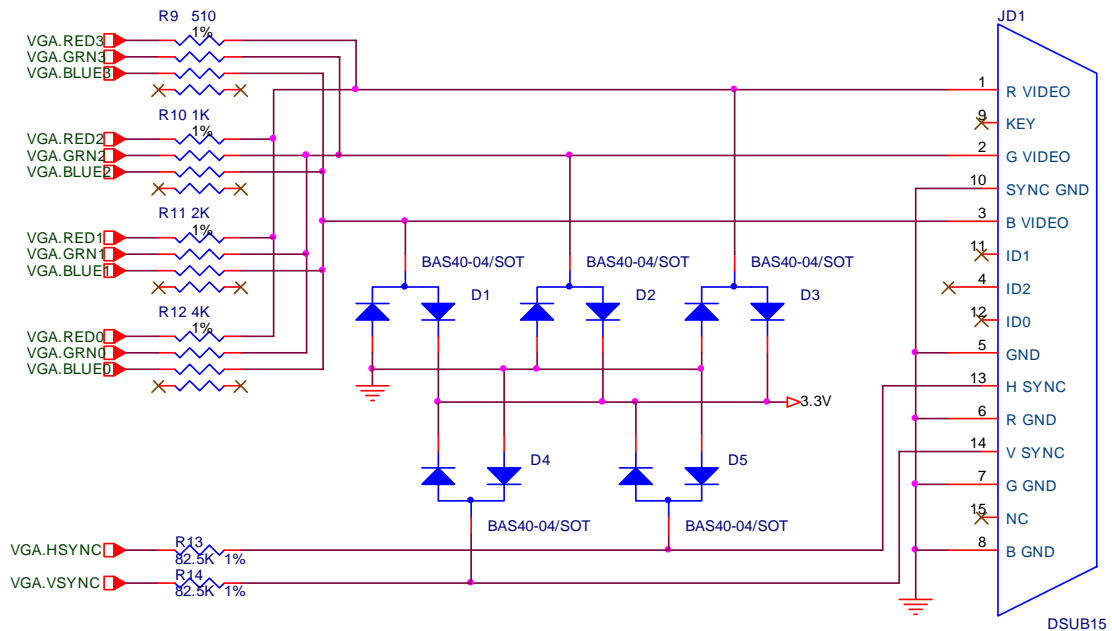
Το FPGA οδηγεί απευθείας τα τέσσερα σήματα του VGA μέσω αντιστάσεων. Κάθε σήμα χρώματος κόκκινο (red), πράσινο (green), και μπλε (blue) έχει τέσσερις εξόδους από το FPGA και συναντάει έναν διαιρέτη τάσης με αντιστάσεις. Αυτή η προσέγγιση παρέχει 4-bit ανάλυση για κάθε χρώμα, δημιουργώντας 12-bit χρώματα, ή 4.096 πιθανά χρώματα. Οι αντιστάσεις σε σειρά, σε συνδυασμό με τον τερματισμό των 75Ω που έχει το καλώδιο VGA, διασφαλίζει ότι τα σήματα των χρωμάτων θα παραμένουν στα επίπεδα που απαιτεί η VGA από 0V μέχρι 0.7V.

Τα σήματα VGA_HSYNC και VGA_VSYNC χρησιμοποιούν LVTTTL ή LVCMOS33 πρότυπα επίπεδα οδήγησης.

Οδηγώντας, λοιπόν, τα σήματα VGA_R[3:0], VGA_G[3:0], και VGA_B[3:0] σε High ή Low καταστάσεις δημιουργούνται τα επιθυμητά χρώματα. Η αναλογική έξοδος δημιουργείται από τον διαιρέτη τάσης ο οποίος μετατρέπει τις ψηφιακές εξόδους του FPGA για ένα μεμονωμένο χρώμα (R, G, B). Κάθε τέτοιο χρώμα εξόδου υποστηρίζει 16 πιθανές τιμές.

$$\text{COLOUR}_{\text{OUT}} = \frac{\text{VGA}[3:0]}{15} \times \text{COLOUR}$$









Οι τρεις ανεξάρτητοι ελεγκτές για τα κόκκινο (red), πράσινο (green) και μπλε (blue) υποστηρίζουν το πολύ 12-bit χρώματα, ή 4.096 τιμές.



Σχήμα B.4.9.1 Κύκλωμα οδήγησης VGA οθόνης

Τοποθετούνται, επίσης, διπλοδιόδοι για να αποφευχθούν παρασιτικά σήματα που θα επηρεάσουν το αποτέλεσμα στην οθόνη.

Πίνακας Β.4.9.1 Παραγόμενα χρώματα

VGA_R[3:0]	VGA_G[3:0]	VGA_B[4:0]	Χρώμα
0000	0000	0000	
...
0000	0000	1111	
...
0000	1111	0000	
...
0000	1111	1111	
...
1111	0000	0000	
...
1111	0000	1111	
...
1111	1111	0000	
...
1111	1111	1111	

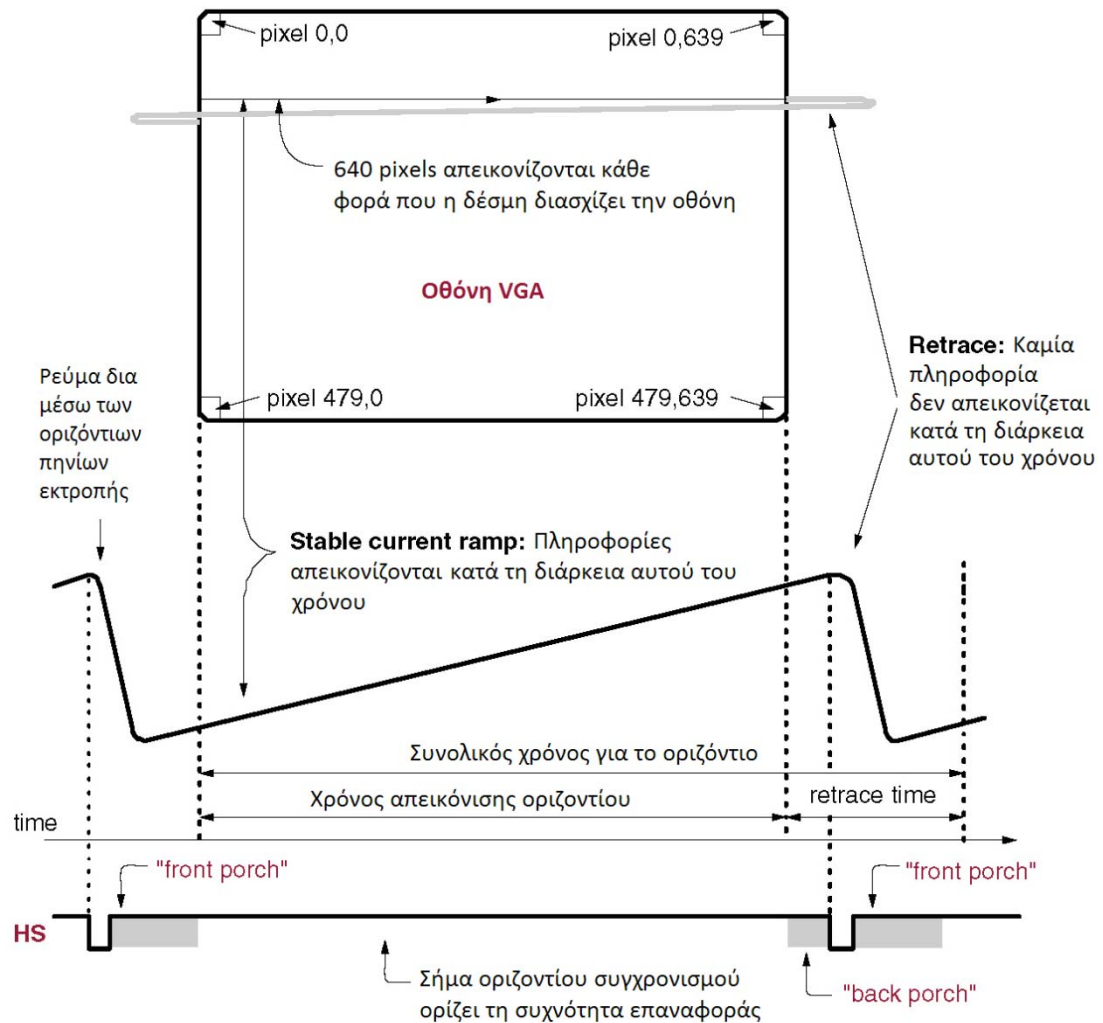
Το ακόλουθο σύστημα VGA και οι πληροφορίες χρονισμού παρέχονται σαν παράδειγμα για το πως το FPGA μπορεί να οδηγήσει μια οθόνη VGA σε ανάλυση 640x480.

Οι βασιζόμενες σε καθοδικό σωλήνα CRT οθόνες VGA χρησιμοποιούν διαμόρφωση κατά πλάτος (amplitude-modulated), μετακινούν τη δέσμη ηλεκτρονίων (ή τις καθοδικές ακτίνες) για να απεικονίσουν τις πληροφορίες στην επιστρωμένη από φώσφορο οθόνη. Οι LCD οθόνες χρησιμοποιούν μια σειρά από διακόπτες οι οποίοι μπορούν να δώσουν τάση σε υγρούς κρυστάλλους, αλλάζοντας το φωτισμό μέσω του κρυστάλλου πάνω σε μια pixel-προς-pixel βάση. Αν και η ακόλουθη περιγραφή περιορίζεται στις CRT οθόνες, οι LCD έχουν εξελιχθεί για να χρησιμοποιήσουν τους ίδιους συγχρονισμούς σημάτων με τις CRT οθόνες. Συνεπώς, η ακόλουθη περιγραφή αναφέρεται και σε CRT και σε LCD.

Μέσα σε μια CRT οθόνη, τα ρεύματα περνούν μέσα από τα πηνία εκτροπής ώστε να παραχθούν μαγνητικά πεδία που θα εκτρέπουν τις δέσμες ηλεκτρονίων οι οποίες θα διασχίζουν την επιφάνεια της οθόνης σε μια διάταξη ράστερ, οριζόντια από το αριστερά προς τα δεξιά και κάθετα από πάνω προς τα κάτω. Όπως φαίνεται και στο Σχήμα Β.4.10.2 η πληροφορία εμφανίζεται μόνο όταν η δέσμη κινείται στην κανονική κατεύθυνση (*forward direction*) – από αριστερά προς τα δεξιά και από πάνω προς τα κάτω - και όχι κατά τη διάρκεια του χρόνου κατά τον οποίο η ακτίνα επιστρέφει πίσω (αριστερά) ή στην επάνω άκρη της οθόνης. Επομένως, ένα μεγάλο μέρος του πιθανού χρόνου απεικόνισης χάνεται στις περιόδους αμαύρωσης όταν ξανά ρυθμίζεται η ακτίνα και σταθεροποιείται για να αρχίσει ένα νέο οριζόντιο ή κάθετο πέρασμα της οθόνης.

Η ανάλυση της οθόνης καθορίζει το μέγεθος των ακτινών, τη συχνότητα με την οποία η ακτίνα θα διασχίζει την οθόνη και τη συχνότητα με την οποία η δέσμη ηλεκτρονίων θα διαμορφωθεί.

Οι καινούριες οθόνες VGA υποστηρίζουν πολλαπλές αναλύσεις οθόνης και ο ελεγκτής VGA υπαγορεύει την ανάλυση και παράγει σήματα χρονισμού για να ελέγξει τη διάταξη του ράστερ. Ο ελεγκτής παράγει παλμούς συγχρονισμού σε επίπεδα TTL τα οποία ορίζουν τη συχνότητα με την οποία θα έχουμε ροή του ρεύματος δια μέσω των πηνίων εκτροπής και διασφαλίζει ότι τα pixel ή τα δεδομένα video ταιριάζουν με το πυροβόλο των ηλεκτρονίων όσον αφορά στους χρόνους.



Σχήμα B.4.9.2 Παράδειγμα χρονισμού οθόνης CRT

Τα δεδομένα του video κανονικά έρχονται από μια μνήμη με ένα ή περισσότερα bytes παραχωρημένα για να δείχνουν την θέση του pixel. Η αναπτυξιακή πλακέτα χρησιμοποιεί τρία bits ανά pixel, παράγοντας ένα από τα πιθανά χρώματα που εμφανίζονται στον Πίνακα B.4.10.1. Ο ελεγκτής καταχωρεί στον πίνακα του buffer δεδομένων σημάτων video καθώς οι δέσμες κινούνται κατά μήκος της οθόνης. Ο ελεγκτής μετά ανακτά και εμφανίζει τα δεδομένα video στην οθόνη ακριβώς τη στιγμή που η δέσμη ηλεκτρονίων κινείται κατά μήκος του διδόμενου pixel.

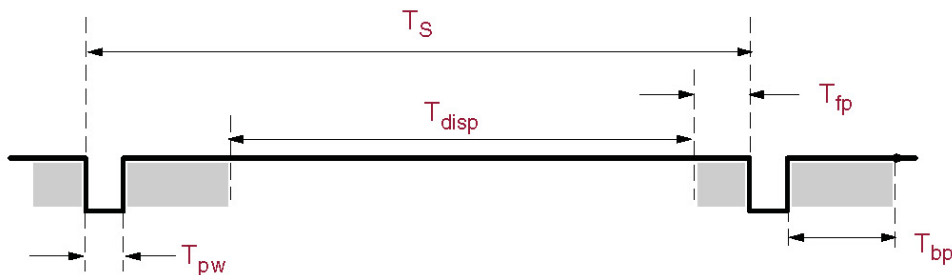
Όπως φαίνεται και στο Σχήμα B.4.10.2, ο ελεγκτής VGA δημιουργεί τα σήματα χρονισμού οριζοντίου συγχρονισμού - horizontal sync (HS) και κάθετου συγχρονισμού - vertical sync (VS) και συντονίζει τη διανομή των δεδομένων video σε κάθε pixel clock. Το pixel clock καθορίζει το χρόνο που είναι διαθέσιμος για να εμφανίσει πληροφορίες για ένα pixel. Το σήμα VS καθορίζει τη συχνότητα ανανέωσης (*refresh frequency*) της οθόνης, ή τη συχνότητα κατά την οποία όλες οι πληροφορίες στην οθόνη θα επανασχεδιαστούν. Η ελάχιστη συχνότητα ανανέωσης εξαρτάται από το φώσφορο της οθόνης και από την ένταση της δέσμης ηλεκτρονίων, με πρακτικές συχνότητες ανανέωσης από 60 Hz μέχρι 120 Hz. Ο αριθμός των οριζοντίων γραμμών που εμφανίζονται σε μια δεδομένη συχνότητα ανανέωσης καθορίζει και τη συχνότητα οριζόντιας επαναφοράς.

Οι χρονισμοί των σημάτων στον Πίνακα Β.4.10.2 έχουν παραχθεί από μια οθόνη με 640-pixel επί 480-γραμμές χρησιμοποιώντας σαν pixel clock συχνότητα 25 MHz και 60 Hz \pm 1 ανανέωση.

Πίνακας Β.4.9.2 Χρόνοι σημάτων video

Σύμβολο	Παράμετρος	Vertical Sync			Horizontal Sync	
		Χρόνοι	Clocks	Γραμμές	Χρόνοι	Clocks
T_S	Χρόνος παλμού συγχρονισμού	16,7ms	416.800	521	32μs	800
T_{DISP}	Χρόνος εμφάνισης	15,36ms	384.000	480	25,6μs	640
T_{PW}	Εύρος παλμού	64μs	1.600	2	3,84μs	96
T_{FP}	Μπροστά μέρος	320μs	8.000	10	640ns	16
T_{BP}	Πίσω μέρος	928μs	23.200	29	1,92μs	48

Το Σχήμα Β.4.10.3 δείχνει τη σχέση μεταξύ των συμβόλων χρονισμού. Ο χρονισμός για το εύρος παλμού συγχρονισμού - sync pulse width (TPW) και για το διάστημα μεταξύ του μπροστινού και του πίσω μέρους (TFP και TBP) είναι βασισμένος στην παρατήρηση διαφόρων οθονών VGA. Τα διαστήματα μεταξύ του μπροστινού και του πίσω μέρους είναι πριν και μετά από τους παλμούς συγχρονισμού. Οι πληροφορίες δε μπορούν να απεικονιστούν εκείνη τη στιγμή.



Σχήμα Β.4.9.3 Σχέση συμβόλων χρονισμού

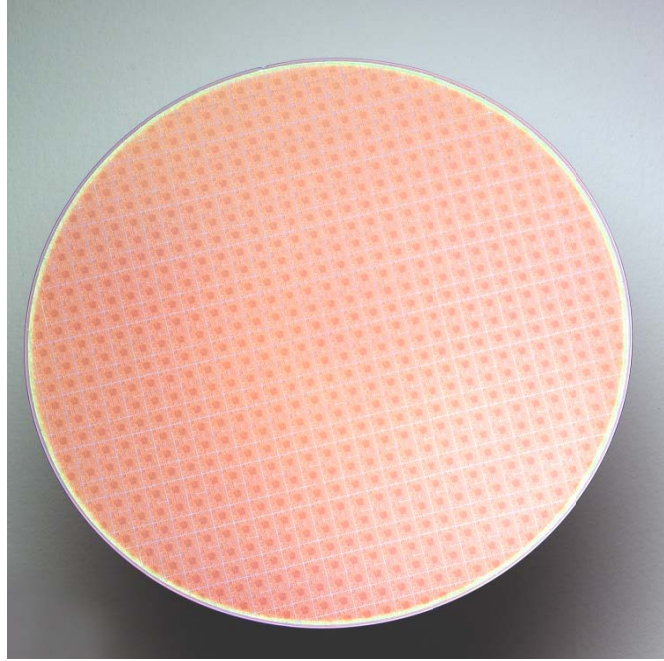
Γενικά, ο μετρητής χρονίζεται από το pixel clock ελέγχοντας τους χρόνους οριζοντίου. Οι τιμές του μετρητή που αποκωδικοποιούνται δημιουργούν το σήμα HS. Αυτός ο μετρητής αποτυπώνει την τρέχουσα θέση του pixel στην οθόνη σε μια δεδομένη γραμμή.

Ένας ξεχωριστός μετρητής αποτυπώνει τους χρόνους καθέτου. Ο vertical-sync μετρητής αυξάνει σε κάθε παλμό του HS και οι αποκωδικοποιημένες τιμές δημιουργούν το σήμα VS. Αυτός ο μετρητής αποτυπώνει την τρέχουσα γραμμή στην οθόνη. Αυτοί οι δυο μετρητές οι οποίοι τρέχουν συνεχώς δίνουν μορφή στη διεύθυνση που έχει ο video buffer της οθόνης. Για παράδειγμα, η μνήμη DDR SDRAM που βρίσκεται πάνω στην αναπτυξιακή πλακέτα παρέχει έναν ιδανικό buffer οθόνης.

Καμία χρονική σχέση δεν αναφέρεται μεταξύ της έναρξης του παλμού HS και της έναρξης του παλμού VS. Συνεπώς, οι μετρητές μπορούν να ρυθμιστούν για να διαμορφώσουν εύκολα τις διευθύνσεις video RAM ή να ελαχιστοποιηθεί η λογική αποκωδικοποίησης για τη δημιουργία του παλμού συγχρονισμού.

Πίνακας Β.4.9.3 Αντιστοιχία σημάτων VGA με pins του FPGA

Σήματα VGA	Pins του FPGA
VGA.RED0	137
VGA.GRN0	138
VGA.BLUE0	139
VGA.RED1	140
VGA.GRN1	144
VGA.BLUE1	145
VGA.RED2	146
VGA.GRN2	147
VGA.BLUE2	150
VGA.RED3	151
VGA.GRN3	152
VGA.BLUE3	153
VGA.HSYNC	160
VGA.VSYNC	161



ΕΠΕΚΤΑΣΕΙΣ

ΜΕΤΡΗΣΕΙΣ

ΜΕΡΟΣ Γ

Γ.1.1 ΕΠΕΚΤΑΣΕΙΣ

Οι αναπτυξιακές πλακέτες που παρουσιάστηκαν σχεδιάστηκαν με τέτοιο τρόπο που να ικανοποιούν τις ανάγκες ενός χρήστη στην ανάπτυξη ασκήσεων και εφαρμογών μαθήματος.

Στην κατασκευή που χρησιμοποιεί το CPLD XC9536PC44 οι προσθήκες που μπορούν να γίνουν είναι αλλαγή του CPLD σε XC9572PC44 που είναι ακριβώς ίδιο με το XC9536PC44, αλλά έχει διπλάσια αριθμό πυλών στο εσωτερικό του. Αυτό βοηθάει στην ανάπτυξη εφαρμογών που έχουν μεγαλύτερες απαιτήσεις σε πόρους από το CPLD, αλλά δεν αυξάνονται οι απαιτήσεις σε εισόδους και εξόδους. Μια δεύτερη αλλαγή είναι ότι μπορούν να αφαιρεθούν οι ενδείκτες 7 τομέων, οι οποίοι είναι τοποθετημένοι επάνω σε βάση και να προστεθεί μια δεύτερη πλακέτα με άλλα περιφερειακά.

Στη δεύτερη κατασκευή που παρουσιάστηκε και η οποία δεν υλοποιήθηκε αυτό που θα μπορούσε να γίνει είναι να κατασκευαστεί. Στη σχεδίαση έχει προβλεφθεί η προσθήκη μιας “daughter board” η οποία θα έχει τοποθετημένα είτε ελεύθερα pins για να τα χρησιμοποιήσει ο χρήστης, είτε άλλα κυκλώματα όπως διασύνδεση Ethernet, USB, περιφερειακά ήχου, εξωτερική μνήμη SRAM, EPROM, EEPROM και πολλά άλλα.

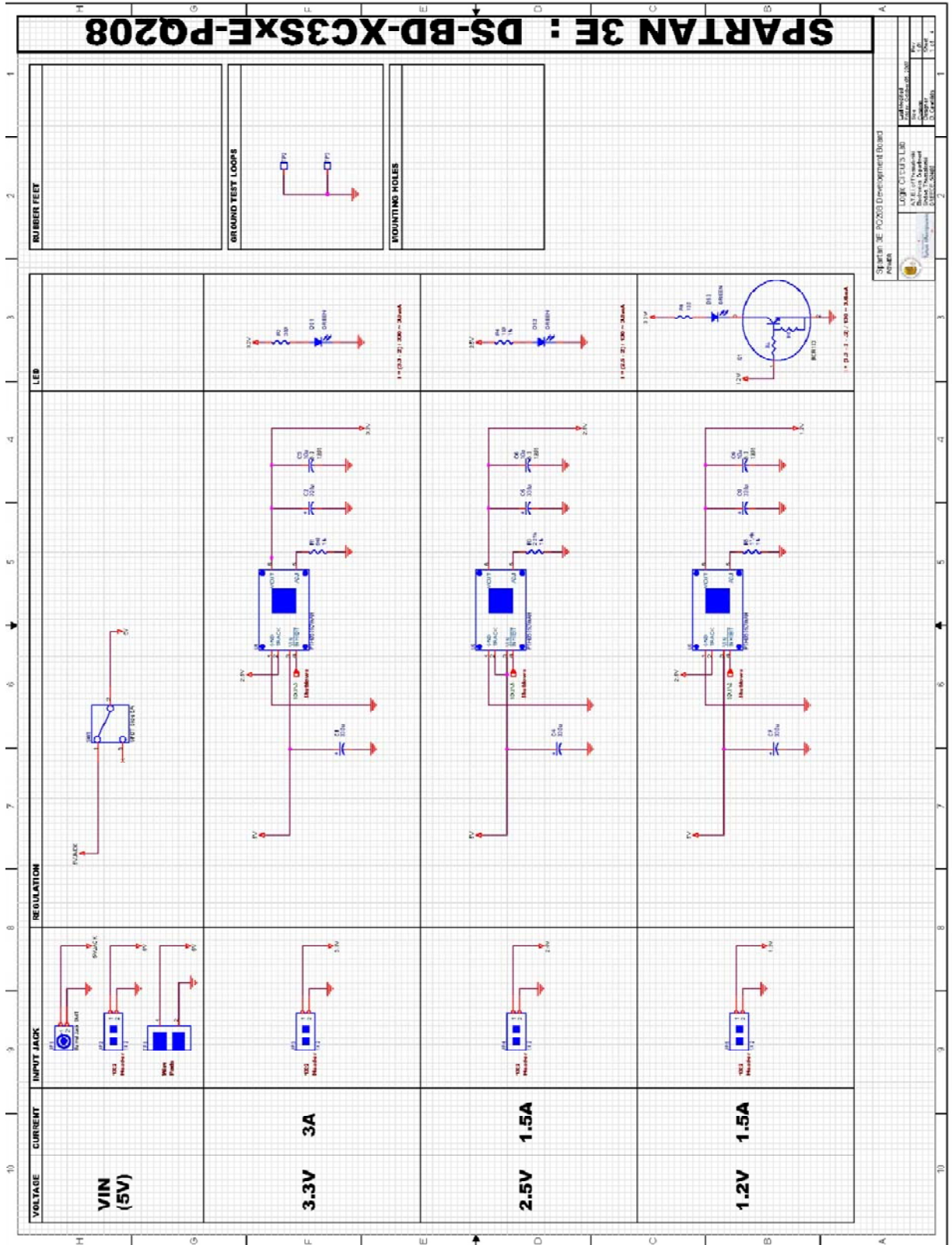
Στην αρχική σχεδίαση υπήρχε η πρόθεση να συμπεριληφθούν κάποια από τα παραπάνω στην ίδια την αναπτυξιακή, όμως απορρίφθηκε γιατί το κόστος ήταν αρκετά μεγάλο.

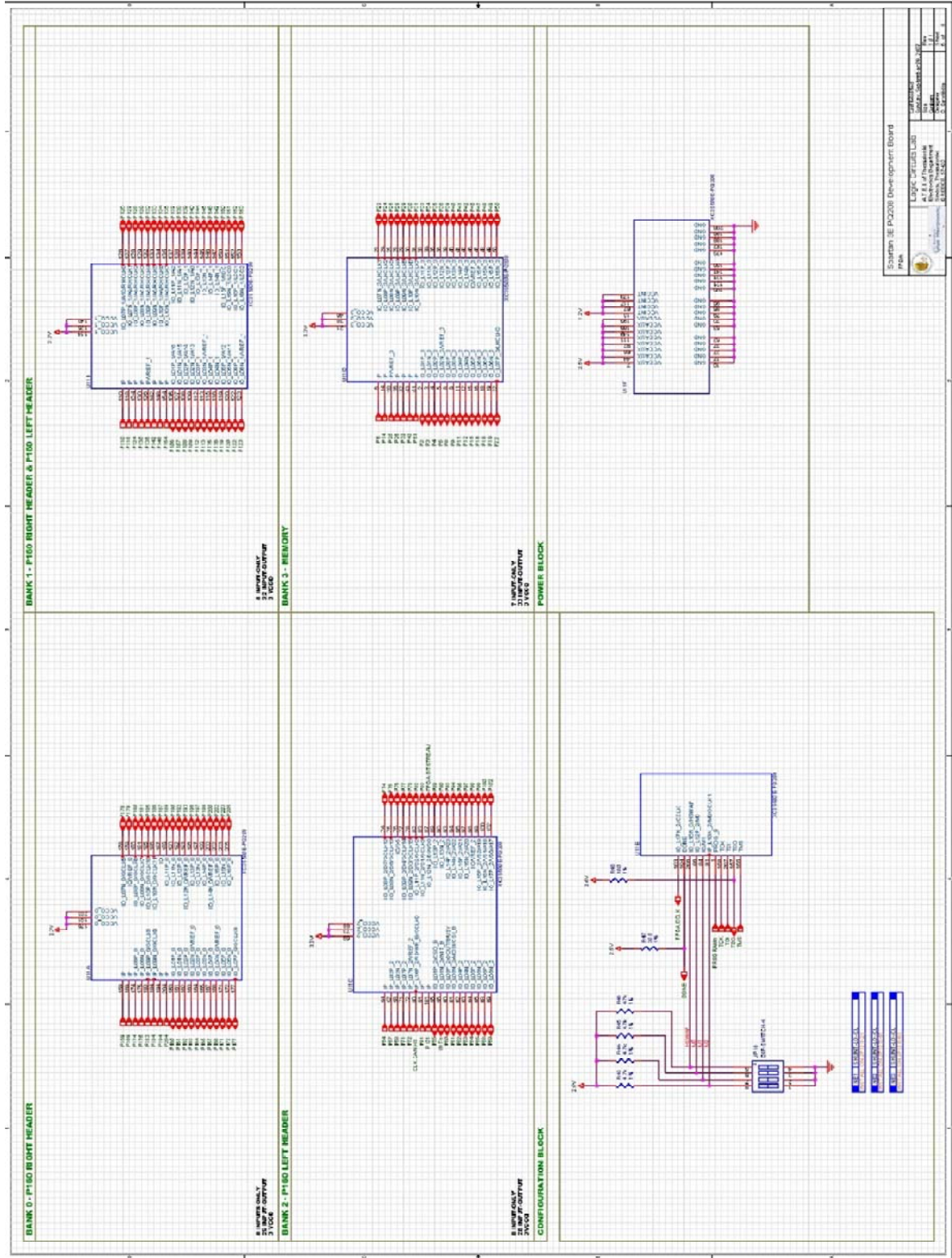
Ο λόγος που δεν κατασκευάστηκε η αναπτυξιακή πλακέτα με το FPGA ήταν καθαρά οικονομικός αφού για το φοιτητή το ποσό ήταν πάρα πολύ μεγάλο και το Εκπαιδευτικό Ίδρυμα δε μπορούσε να συνεισφέρει προς την κατεύθυνση αυτή.

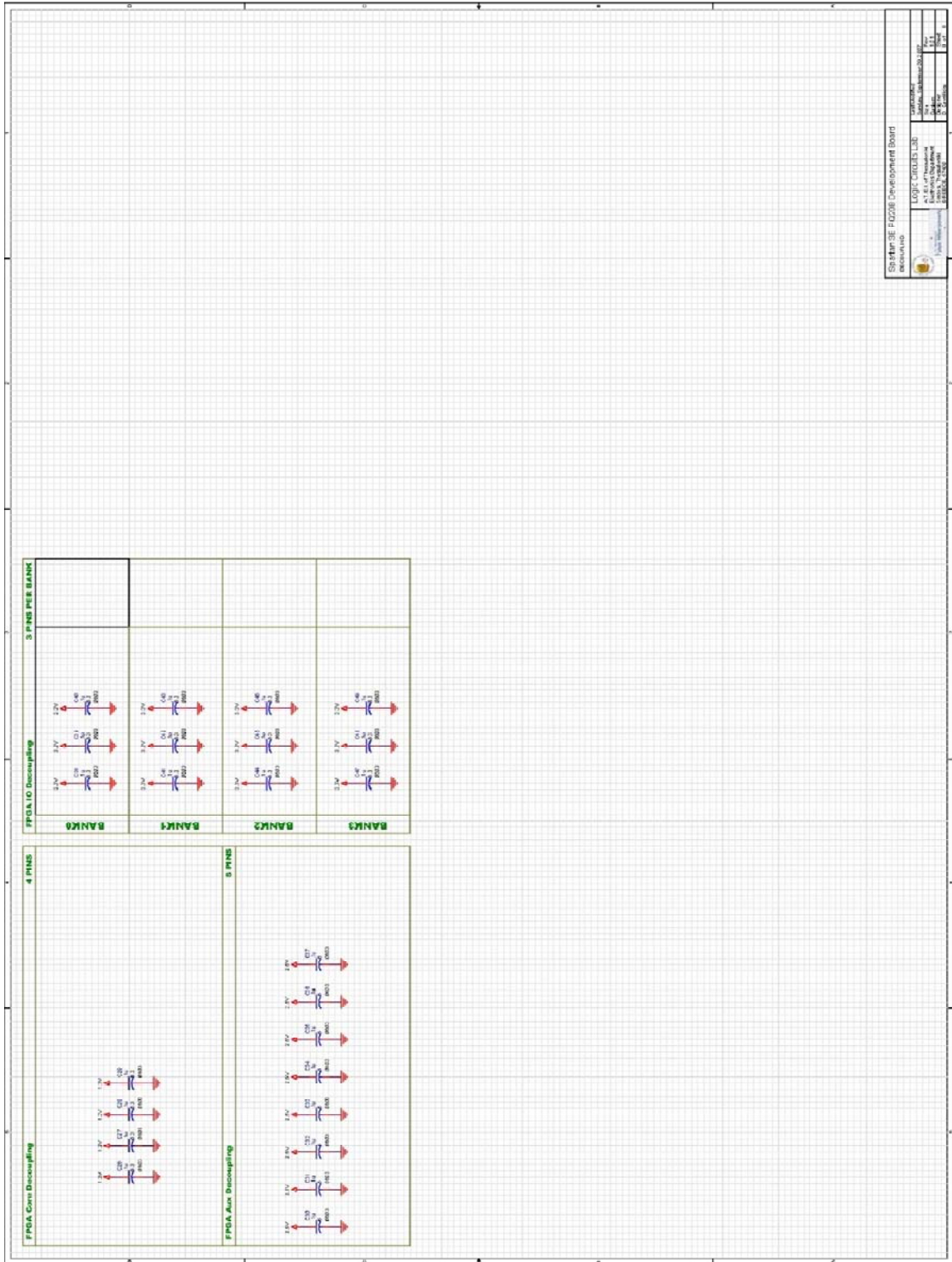
Γ.2.1 ΜΕΤΡΗΣΕΙΣ

Μετά από κάποιες μετρήσεις που έγιναν στην κατασκευή της πλακέτας με το CPLD βρέθηκε ότι η κατανάλωση ενέργειας όταν όλα τα περιφερειακά βρίσκονται σε λειτουργία δεν ξεπερνά τα 700mA. Τα περιφερειακά που μπορούν να είναι σε λειτουργία βέβαια είναι οι από τους ενδείκτες 7 τομέων μόνο ο ένας κάθε φορά από λειτουργούν με σάρωση και από τα LED μόνο η στήλη ή μόνο τα “φανάκια ρύθμισης της κυκλοφορίας”.

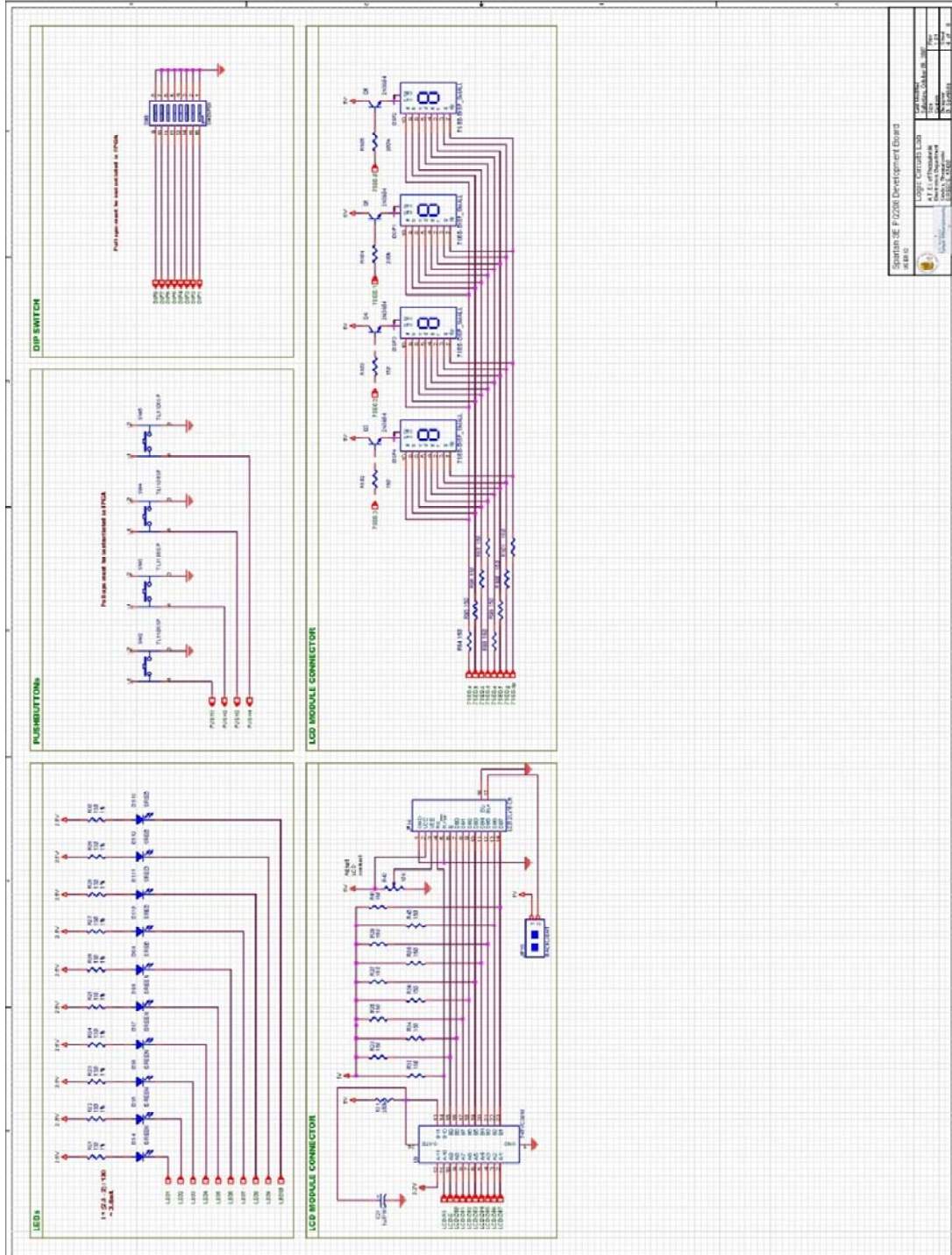
Εκτός από αυτά όλη η πλακέτα περιλαμβάνει 2 ολοκληρωμένα 74HC125, ένα NE555 και φυσικά το ίδιο το CPLD.







ΣΤΡΩΒΙΛΕ ΠΙΣΤΩΣΗ Development Board
 ΕΠΙΧΕΙΡΗΣΙΑΚΟ ΠΡΟΓΡΑΜΜΑ
 ΕΥΡΩΠΑΪΚΗ ΕΝΩΣΗ
 Ευρωπαϊκό Ταμείο Περιφερειακής Ανάπτυξης
 ΕΥΡΩΠΑΪΚΟ ΚΕΝΤΡΟ ΕΡΕΥΝΑΣ



ΒΙΒΛΙΟΓΡΑΦΙΑ

1. www.xilinx.com
2. www.ti.com
3. Spartan 3E Family Complete Datasheet, DS312, 9 Νοεμβρίου 2006
4. XC9500 In-System Programmable CPLD Family, DS063(v5.4), Απρίλιος 2006
5. JTAG Programmer Guide
6. iMPACT User Guide
7. Platform Flash In-System Programmable Configuration PROMS, DS123(v2.10), 8 Δεκεμβρίου 2006
8. Σχεδίαση Ψηφιακών Συστημάτων με τη Γλώσσα VHDL, Stephen Brown – Zvonko Vranesic, 2001