

Αλεξάνδρειο Τεχνολογικό Εκπαιδευτικό Ίδρυμα Θεσσαλονίκης
Σχολή Τεχνολογικών Εφαρμογών
Τμήμα Ηλεκτρονικής

Έλεγχος οθόνης TFT με τη χρήση ολοκληρωμένου
κυκλώματος προγραμματιζόμενης λογικής (FPGA)

Φοιτητής : Τσαμσακίζογλου Μωυσής
Εισηγητής : Χρήστος Β. Τζίκας
Καθηγητής Εφαρμογών

Θεσσαλονίκη, Ιούνιος 2009

Πίνακας περιεχομένων

Πίνακας περιεχομένων.....	ii
Κατάλογος Εικόνων	iv
Περίληψη.....	1
Abstract	2
Αρχές λειτουργίας οθονών.....	3
1. Εισαγωγή	3
2. Οθόνες καθοδικού σωλήνα.....	4
2.1. Το ηλεκτρονικό πυροβόλο.....	4
2.2. Έγχρωμες οθόνες.....	5
2.3. Τεχνολογίες βελτίωσης απόδοσης.....	6
2.3.1. Shadow mask	6
2.3.2. Aperture grille.....	7
2.4. Απόκλιση δέσμης.....	8
3. Οθόνες υγρού κρυστάλλου	10
3.1. Πόλωση του φωτός.....	11
3.2. Υγρός Κρύσταλλος.....	12
3.3. Λειτουργία της οθόνης.....	13
3.4. Έγχρωμη εικόνα.....	14
3.5. Τεχνολογίες LCD	14
3.6. Σύγκριση οθόνης CRT και TFT.....	15
Τρόποι διασύνδεσης Οθονών	16
1. VGA.....	16
1.1. Οριζόντια σάρωση.....	17
1.2. Κάθετη σάρωση.....	19
1.3. Περιγραφή λειτουργίας.....	20
1.4. Ρυθμός ανανέωσης.....	21
Περιγραφή πρακτικού μέρους	23
1. Αναπτυξιακή μονάδα	23

1.1.	Εισαγωγή	23
1.2.	Η αναπτυξιακή μονάδα και τα χαρακτηριστικά της	24
1.3.	Περιγραφή των βασικών τμημάτων της μονάδας	26
1.3.1.	Spartan-3E FPGA	26
1.3.1.1.	Digital Clock Manager	29
1.3.1.2.	Block RAM	32
1.3.2.	Χρονισμός	33
1.3.3.	Platform Flash Prom	33
1.3.3.1.	Πρωτόκολλο JTAG	34
1.3.4.	Θύρα VGA	37
1.3.5.	Θύρες επέκτασης.....	39
1.3.6.	Επέκταση VGA	40
1.3.6.1.	D/A Μετατροπέας	40
1.3.6.2.	Περιγραφή σχηματικού.....	47
2.	Εφαρμογή - Ελεγκτής VGA.....	50
2.1.	Γενική περιγραφή	50
2.2.	Digital Clock Manager	53
2.3.	Μετρητής pixel	55
2.4.	Μετρητής γραμμών	56
2.5.	Γεννήτριες συγχρονιστικών παλμών	57
2.5.1.	Μετρήσεις	58
2.6.	Ένδειξη σάρωσης ορατής περιοχής	60
2.7.	Μεταφορά της χρωματικής πληροφορίας.....	60
3.	Εφαρμογή - Απεικόνιση μιας εικόνας	63
3.1.	Μνήμη ROM	63
3.2.	Κύκλωμα ανάγνωσης μνήμης.....	66
	Βιβλιογραφία.....	68
	Internet	68

Κατάλογος Εικόνων

Εικόνα 1 : Η διάταξη του καθοδικού σωλήνα.....	4
Εικόνα 2 : Το κάτοπτρο αλουμινίου στην τεχνική shadow mask.....	7
Εικόνα 3 : Τεχνική Aperture grille.....	8
Εικόνα 4 : Τεχνική Shadow mask.....	8
Εικόνα 5 : Το αποτέλεσμα των τεχνικών βελτίωσης.....	8
Εικόνα 6 : Κατασκευαστική δομή οθόνης TFT	11
Εικόνα 7 : Παράδειγμα φίλτρου πόλωσης	11
Εικόνα 8 : Δομή των μορίων του υγρού κρυστάλλου	13
Εικόνα 9 : Οριζόντια σάρωση	18
Εικόνα 10 : Η διαδικασία της σάρωσης	22
Εικόνα 11 : Αναπτυξιακή μονάδα SPARTAN-3E	26
Εικόνα 12 : Πάνω όψη της βάσης του XC3S500-3E.....	28
Εικόνα 13 : Μπλοκ διάγραμμα DCM.....	30
Εικόνα 14 : Πηγές χρονισμού της αναπτυξιακής μονάδας	33
Εικόνα 15 : Διάταξη προγραμματισμού μέσω της PROM.....	35
Εικόνα 16 : Προσαρμογή μεταξύ FPGA και οθόνης	37
Εικόνα 17 : Επέκταση VGA	39
Εικόνα 18 : D/A Μετατροπή 12-bit	41
Εικόνα 19 : Block διάγραμμα του ADV7125.....	42
Εικόνα 20 : Επίδραση του φερίτη στη μείωση του θορύβου	43
Εικόνα 21 : Μια κυματομορφή χρώματος	45
Εικόνα 22 : Συνδεσμολογία Doubly terminated line.....	47
Εικόνα 23 : Μπλοκ διάγραμμα της εφαρμογής.....	52
Εικόνα 24 : Παλμοί οριζόντιου συγχρονισμού.....	59
Εικόνα 25 : Παλμοί κάθετου συγχρονισμού	60
Εικόνα 26 : Μέτρηση της κυματομορφής του πράσινου.....	62
Εικόνα 27 : Η εικόνα που θα απεικονιστεί στην οθόνη	63
Εικόνα 28 : Μπλοκ διάγραμμα κυκλώματος απεικόνισης μιας εικόνας	64

Περίληψη

Σκοπός της πτυχιακής είναι η μελέτη της αρχής λειτουργίας μια κατηγορίας οθονών LCD, τις οθόνες TFT, ενώ ιδιαίτερη έμφαση θα δοθεί στους τρόπους με τους οποίους επικοινωνούν με εξωτερικά κυκλώματα. Αποτέλεσμα αυτής της μελέτης θα είναι να δημιουργηθεί ψηφιακό κύκλωμα που θα παράγει όλα τα κατάλληλα σήματα έτσι ώστε να μπορεί να θέσει σε λειτουργία την οθόνη. Το ψηφιακό κύκλωμα αυτό θα υλοποιηθεί με τη χρήση ολοκληρωμένων κυκλωμάτων προγραμματιζόμενης λογικής (FPGA).

Η πτυχιακή χωρίζεται σε τρεις μεγάλες θεματικές ενότητες. Στην πρώτη θεματική ενότητα θα περιγραφεί η αρχή λειτουργίας των οθονών CRT και TFT. Οι οθόνες CRT δεν αποτελούν αντικείμενο αυτής της πτυχιακής αλλά θα αναφερθούν γιατί η αρχή λειτουργίας τους βοηθάει τον αναγνώστη να κατανοήσει τον τρόπο επικοινωνίας των οθονών TFT. Στη δεύτερη θεματική ενότητα περιγράφεται ο τρόπος επικοινωνίας των οθονών και όλα εκείνα τα σήματα που απαιτούνται για τη λειτουργία της οθόνης. Στην ενότητα αυτή γίνεται αναφορά και στον τρόπο με τον οποίο επηρεάζουν τα σήματα αυτά διάφορα χαρακτηριστικά της οθόνης όπως ανάλυση και ρυθμό ανανέωσης. Στην τρίτη και τελευταία ενότητα περιγράφεται το πρακτικό μέρος της πτυχιακής. Η ενότητα αυτή χωρίζεται σε δύο υποενότητες. Στην πρώτη υποενότητα περιγράφεται η αναπτυξιακή μονάδα και εξηγούνται βασικές έννοιες και χαρακτηριστικά των FPGAs που θα χρησιμοποιηθούν. Στην δεύτερη γίνεται ανάλυση της εφαρμογής που σχεδιάστηκε και παρουσιάζονται κυματομορφές που αποδεικνύουν την ορθή λειτουργία της.

Abstract

The main target of this project is to study in depth the way that LCD monitors work and the external electronics that are used to control them. As a result of this study, we will design an electronic circuit that will be able to generate all these synchronisation signals which are necessary for the monitor to work properly. This electronic circuit will be implemented using Field Programmable Gate Arrays (FPGAs).

The project is divided in three chapters. In the first chapter the operating principles of the CRT and LCD monitors are described. Extra emphasis is given to a very popular subcategory of LCD monitors, the TFT monitors. The CRT monitors are described because the study of their theory will help the reader to understand the interface principles of the TFT monitors through VGA port. In the second chapter there is a description of the interface protocol, and all signals that affect the resolution and the refresh rate of the monitor. In the last chapter there is a description of the electronic circuit and the waveforms we need in order to verify that the monitor control circuit works properly.

Αρχές λειτουργίας οθονών

1. Εισαγωγή

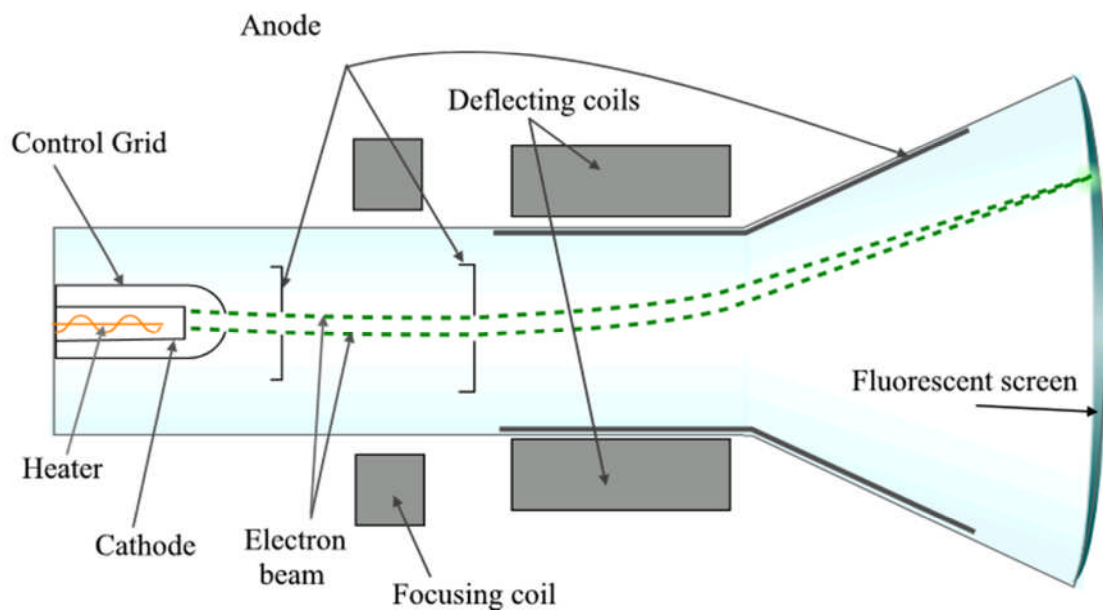
Τα τελευταία χρόνια η ραγδαία ανάπτυξη των οθονών LCD σε συνδυασμό με το μειωμένο κόστος τους έχει ως αποτέλεσμα την ευρύτερη διάδοση τους ως μέσο απεικόνισης στα σύγχρονα υπολογιστικά συστήματα. Έτσι τείνουν να αντικαταστήσουν πλήρως της οθόνες CRT των οποίων η χρήση όλο και μειώνεται. Από την άλλη πλευρά οι οθόνες CRT, των οποίων η αρχή λειτουργίας βασίζεται σε τεχνικές που έχουν ανακαλυφθεί εδώ και πάνω από 100 χρόνια, παρουσιάζουν ακόμα κάποια πλεονεκτήματα όπως καλύτερο λόγο τιμής/απόδοσης.

Οι οθόνες που υπάρχουν στο εμπόριο έχουν τη δυνατότητα να επικοινωνήσουν με εξωτερικά κυκλώματα με δύο βασικούς τρόπους. Ο πρώτος τρόπος είναι με τη χρήση του αναλογικού connector VGA (Video Graphics Array). Αυτός ο τρόπος είχε χρησιμοποιηθεί αρχικά στις οθόνες CRT και αργότερα αποτέλεσε βασικό τρόπο διασύνδεσης και στις οθόνες LCD. Συνεπώς αποτελεί τον πιο δημοφιλή τρόπο επικοινωνίας μιας οθόνης και για αυτό το λόγο επιλέχτηκε να χρησιμοποιηθεί στην εφαρμογή της πτυχιακής. Η αρχή λειτουργίας του βασίζεται σε πολύ μεγάλο βαθμό στον τρόπο λειτουργίας της οθόνης CRT. Εδώ αξίζει να πούμε ότι αν και οι τρόποι λειτουργίας των οθονών CRT και LCD είναι τελείως διαφορετικοί μεταξύ τους, ο τρόπος επικοινωνίας τους με εξωτερικά κυκλώματα μέσω VGA είναι ο ίδιος και αυτό κυρίως για λόγους συμβατότητας ανάμεσα στις δύο τεχνολογίες. Έτσι στο κεφάλαιο αυτό θα αρχίσουμε με την περιγραφή του τρόπου λειτουργίας των οθονών CRT και στη συνέχεια θα επεκταθούμε και στις LCD. Αυτό θα βοηθήσει τον αναγνώστη να κατανοήσει καλύτερα την επικοινωνία μέσω VGA που θα εξηγηθεί αναλυτικά σε επόμενο κεφάλαιο. Ο δεύτερος τρόπος επικοινωνίας είναι με τη

χρήση του connector DVI (Digital Video Interface) που βασίζεται σε ψηφιακό πρωτόκολλο. Ο DVI είναι σχεδιασμένος αποκλειστικά για ψηφιακές συσκευές απεικόνισης και έχει τη δυνατότητα μεταφοράς πληροφορίας για εικόνες πολύ υψηλής ανάλυσης.

2. Οθόνες καθοδικού σωλήνα

Η διάταξη του καθοδικού σωλήνα αποτελείται από γυαλί που έχει σχήμα κώνου όπως την εικόνα 1. Στο εσωτερικό του σωλήνα υπάρχει κενό αέρος γεγονός που αναγκάζει τους κατασκευαστές να κάνουν το γυαλί παχύ έτσι ώστε να μην υπάρχει περίπτωση να εκραγεί λόγω της διαφοράς πίεσης. Τα πάχος του γυαλιού είναι αυτό που κάνει τις οθόνες καθοδικού σωλήνα να είναι βαριές. Στο βάθος του βρίσκεται μια ηλεκτρονική διάταξη που ονομάζεται ηλεκτρονικό πυροβόλο.



Εικόνα 1 : Η διάταξη του καθοδικού σωλήνα

2.1. Το ηλεκτρονικό πυροβόλο

Το ηλεκτρονικό πυροβόλο αποτελείται από ένα θερμαντικό νήμα (Heater) το οποίο ζεσταίνει ένα αρνητικά φορτισμένο μέταλλο που ονομάζεται κάθοδος (Cathode). Το μέταλλο αυτό έχει επικάλυψη οξειδίου του βαρίου και του στροντίου με αποτέλεσμα να έχει την ιδιότητα όταν ζεσταίνεται να ελευθερώνονται ηλεκτρόνια από την επιφάνεια του.

Γύρω από την κάθοδο βρίσκεται ένας κύλινδρος ο οποίος ονομάζεται κύλινδρος Wehnelt και έχει στην μέση του ένα άνοιγμα. Η τάση που έχει ο κύλινδρος σε σχέση με την κάθοδο πρέπει να είναι πάντα αρνητική. Συνήθως είναι -50V. Ο κύλινδρος Wehnelt ονομάζεται και οδηγό πλέγμα (Control Grid) και ο ρόλος του είναι να επιτυγχάνει την πρώτη εστίαση των ηλεκτρονίων που απελευθερώνονται από την κάθοδο. Μετά τον κύλινδρο Wehnelt ακολουθεί η πρώτη και η δεύτερη άνοδος. Η τάση της πρώτης ανόδου σε σχέση με την κάθοδο είναι θετική και είναι περίπου 400V. Η τάση της δεύτερης ανόδου είναι επίσης θετική και είναι περίπου 20000V. Οι δύο άνοδοι έχουν ένα άνοιγμα έτσι ώστε να επιτρέπουν την διέλευση των ηλεκτρονίων από την κάθοδο προς την άλλη πλευρά της οθόνης. Η υψηλή τάση στις ανόδους έχει ως αποτέλεσμα να έλκει τα ηλεκτρόνια που εκπέμπονται από την κάθοδο και αρχίζουν να επιταχύνουν με πολύ μεγάλη ταχύτητα και να κατευθύνονται προς την άλλη πλευρά της οθόνης. Τα ηλεκτρόνια με την ταχύτητα που έχουν πέφτουν πάνω στην εσωτερική πλευρά της οθόνης, η οποία καλύπτεται από μια φθορίζουσα επικάλυψη. Η σύγκρουση αυτή των ηλεκτρονίων με την φθορίζουσα επικάλυψη έχει ως αποτέλεσμα την δημιουργία μίας φωτεινής κουκίδας στην εξωτερική πλευρά της οθόνης. Εδώ αξίζει να αναφέρουμε ότι το πάχος της ηλεκτρονικής δέσμης έχει ιδιαίτερη σημασία στις διαστάσεις της κουκίδας και καθορίζεται από τον κύλινδρο Wehnelt. Όσο πιο λεπτή είναι η δέσμη ηλεκτρονίων, τόσο λεπτότερη θα είναι και η κουκίδα στην οθόνη.

2.2. Έγχρωμες οθόνες

Η κουκίδα που προαναφέραμε αποτελεί τη μικρότερη μονάδα σε μια ασπρόμαυρη εικόνα και ονομάζεται (pixel). Συνεπώς μια ασπρόμαυρη εικόνα αποτελείται από ένα σύνολο από pixel τα οποία είναι διατεταγμένα ομοιόμορφα το ένα δίπλα στο άλλο σε γραμμές και στήλες. Το γεγονός ότι κάθε pixel θα είναι άσπρο ή μαύρο εξαρτάται από την ύπαρξη ή όχι της ηλεκτρονικής δέσμης. Στις έγχρωμες οθόνες μια εικόνα αποτελείται από αρκετά χρώματα τα οποία όμως όλα είναι αποτέλεσμα των τριών βασικών χρωμάτων. Για τον λόγο αυτό κάθε κουκίδα (pixel) αποτελείται και από τρεις υπό κουκίδες (sub pixels). Αυτό σημαίνει ότι έχουμε τρεις διαφορετικές ηλεκτρονικές δέσμες και κάθε μια από αυτές για διαφορετικό χρώμα. Η πρώτη για το κόκκινο (Red), η δεύτερη για το πράσινο (Green) και η τρίτη για το μπλε (Blue). Οι ακτίνες είναι όμοιες μεταξύ τους και ο μόνος τρόπος για να

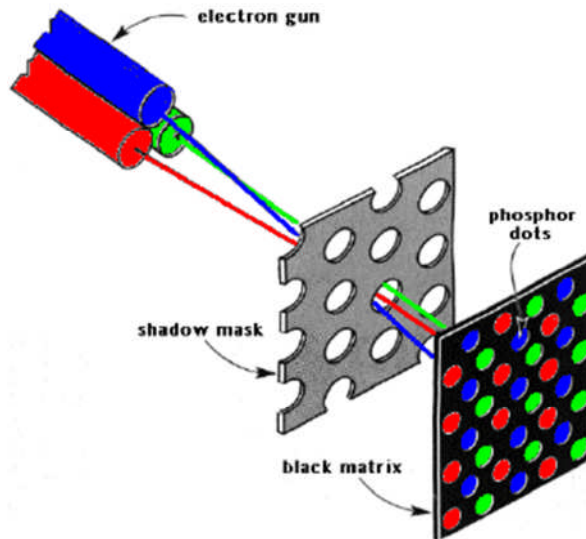
δημιουργηθούν τα βασικά χρώματα είναι από την αντίδραση των ηλεκτρονίων της ηλεκτρονικής δέσμης με την φθορίζουσα επικάλυψη. Για τον λόγο αυτό η φθορίζουσα επικάλυψη κάθε υπό κουκίδας έχει διαφορετικές χημικές προσμίξεις. Η διαδικασία προϋποθέτει πολύ μεγάλη ακρίβεια έτσι ώστε κάθε ακτίνα να πέφτει πάνω στις συγκεκριμένες υπό κουκίδες.

2.3. Τεχνολογίες βελτίωσης απόδοσης

Όπως αναφέραμε παραπάνω το πάχος της ηλεκτρονικής δέσμης μπορεί να μεταβληθεί με την ρύθμιση της τάσης στον κύλινδρο Wehnelt. Σκοπός είναι τα τυχαία εκπεμπόμενα προς όλες τις κατευθύνσεις ηλεκτρόνια στην κάθοδο να γίνουν μια πολύ λεπτή ηλεκτρονική δέσμη. Παρόλα αυτά η κουκίδες και κατά συνέπεια και οι υπό κουκίδες έχουν συγκεκριμένες διαστάσεις πάνω στην φθορίζουσα επιφάνεια. Αν και η ακρίβεια είναι αρκετά καλή στις σύγχρονες οθόνες, είναι πρακτικά αδύνατο να επιτευχθεί ηλεκτρονική δέσμη όσο ακριβώς το μέγεθος μιας υπό κουκίδας. Αυτό έχει ως αποτέλεσμα στις άκρες της δέσμης όπου η ένταση είναι πολύ ασθενής κάποια ηλεκτρόνια να πέφτουν σε γειτονικές υπό κουκίδες και να προκαλούν ανεπιθύμητη φωτεινότητα. Το πρόβλημα αυτό μπορεί να αντιμετωπιστεί με δυο τρόπους πολύ αποτελεσματικά.

2.3.1. Shadow mask

Ένας τρόπος για την αντιμετώπιση του παραπάνω προβλήματος είναι με τη χρήση μιας τεχνικής που ονομάζεται Shadow mask. Η τεχνική αυτή είναι αρκετά παλιά και στηρίζεται



Εικόνα 2 : Το κάτοπτρο αλουμινίου στην τεχνική shadow mask

σε ένα κάτοπτρο κατασκευασμένο από αλουμίνιο πολύ μικρού πάχους με πολύ μικρές τρύπες στην επιφάνεια του όπως φαίνεται στην εικόνα 2. Οι τρύπες αυτές έχουν την ίδια διάμετρο με αυτή των υπό κουκίδων στη φθορίζουσα επικάλυψη. Αυτό έχει το πλεονέκτημα να σταματάει τις άκρες της δέσμης και τα ηλεκτρόνια που κατευθύνονται προς γειτονικές κουκίδες ενώ επιτρέπει την διέλευση μόνο της δέσμης με υψηλή ένταση που κατευθύνεται πάνω στην επιθυμητή υπό κουκίδα. Αποτέλεσμα αυτής της τεχνικής είναι να έχουμε καθαρότερες εικόνες με πιο ζωηρά χρώματα.

2.3.2. Aperture grille

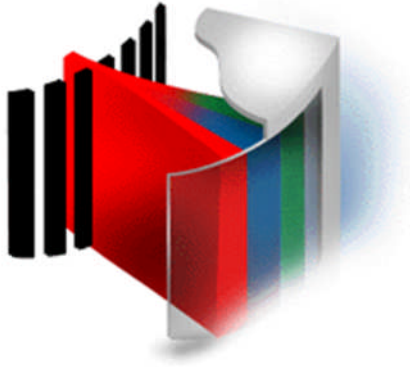
Η τεχνική Aperture grille επιτυγχάνει το ίδιο αποτέλεσμα αλλά με διαφορετικό τρόπο. Αποτελείται από πολύ λεπτές κάθετες μεταλλικές λωρίδες που απομονώνουν τις κουκίδες οριζόντια. Μεγάλο πλεονέκτημα αυτής της τεχνικής είναι ότι έχουμε πολύ πιο φωτεινή εικόνα καθώς μπλοκάρονται τα ηλεκτρόνια μόνο στην οριζόντια κατεύθυνση. Το μειονέκτημα της είναι ότι για να παραμείνουν σταθερές αυτές οι λωρίδες και να μην κινούνται είναι απαραίτητες δυο άλλες κάθετες μεταλλικές λωρίδες που τις συγκρατούν. Αυτές οι λωρίδες μπλοκάρουν κάποια ηλεκτρόνια και δημιουργούν μια σκιά η οποία για κάποιους είναι ενοχλητική. Στις εικόνες 3 και 4 βλέπουμε την διαφορά στον τρόπο λειτουργίας των δυο τεχνικών βελτίωσης εικόνας. Η τεχνική Aperture grille είναι αυτή που χρησιμοποιείται στην πλειοψηφία των οθονών σήμερα. Στην εικόνα 5 βλέπουμε την

Error! Use the Home tab to apply Επικεφαλίδα 2 to the text that you want to appear here.

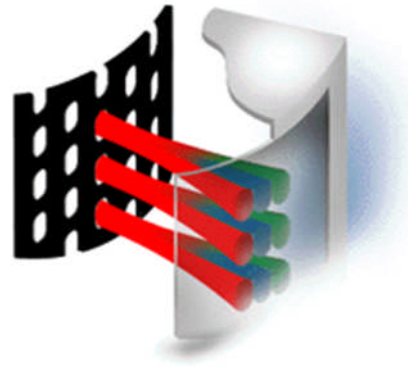
Error! Use the Home tab to apply Επικεφαλίδα 1

to the text that you want to appear here.

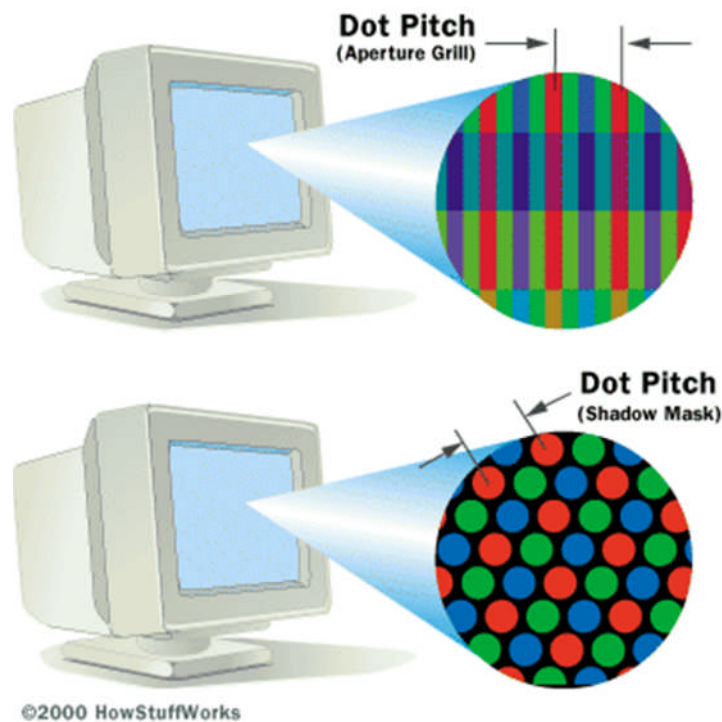
διαφορά τους στην εξωτερική πλευρά της οθόνης. Είναι προφανές ότι οι οθόνες που χρησιμοποιούν την τεχνική Aperture grille έχουν μεγαλύτερη φωτεινότητα.



Εικόνα 3 : Τεχνική Aperture grille



Εικόνα 4 : Τεχνική Shadow mask



Εικόνα 5 : Το αποτέλεσμα των τεχνικών βελτίωσης

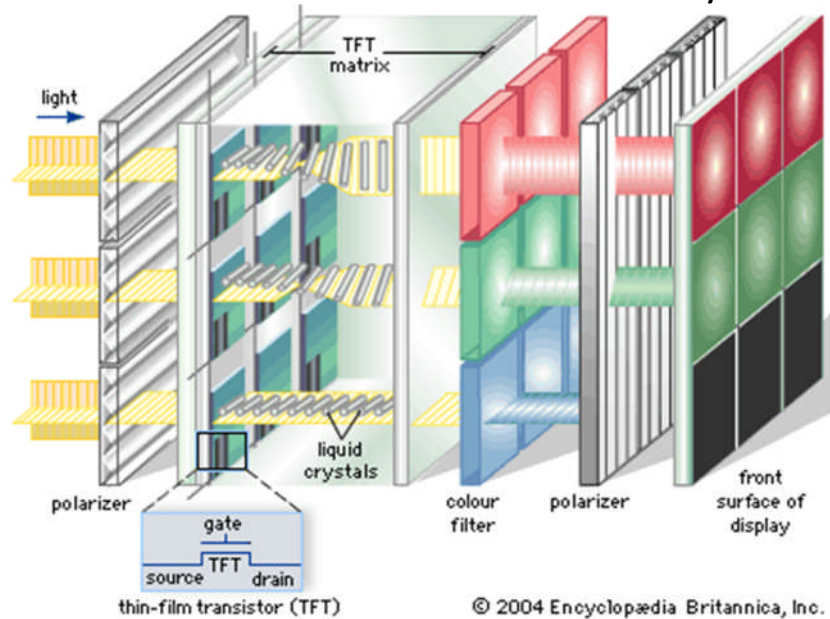
2.4. Απόκλιση δέσμης

Στις προηγούμενες παραγράφους αναλύσαμε τον τρόπο με τον οποίο εμφανίζεται μια κουκίδα στην οθόνη. Η κουκίδα όμως αυτή είναι ένα πολύ μικρό κομμάτι από όλη την

εικόνα. Η διαδικασία για την απεικόνιση όλης της εικόνας είναι πιο πολύπλοκη και για να την πετύχουμε πρέπει να αφήσουμε την ηλεκτρονική δέσμη να εκτραπεί από την θέση της. Για την εκτροπή της δέσμης έχουμε δύο ζεύγη ηλεκτρομαγνητών. Το ένα ζεύγος είναι για την οριζόντια απόκλιση της δέσμης και το άλλο για την κάθετη απόκλιση της δέσμης. Έτσι έχουμε την δυνατότητα να κατευθύνουμε την δέσμη σε οποιοδήποτε σημείο της οθόνης και να τη ρίξουμε επάνω στην επιθυμητή υπό κουκίδα. Η αρχή λειτουργίας του συστήματος απόκλισης βασίζεται στο γεγονός ότι όταν η διεύθυνση της ηλεκτρονικής δέσμης είναι κάθετη στην διεύθυνση των δυναμικών γραμμών του ηλεκτρομαγνητικού πεδίου τότε ασκείται μια δύναμη που την εκτρέπει. Σε αντίθετη περίπτωση όπου έχουν την ίδια διεύθυνση τότε δεν ασκείται καμία δύναμη. Τα πηνία αποκλίσεως τοποθετούνται σε άξονες κάθετους στον άξονα της λυχνίας γύρω από τον "λαιμό" του καθοδικού σωλήνα. Τα πηνία οριζόντιας αποκλίσεως βρίσκονται σε κατακόρυφο άξονα γιατί η απόκλιση είναι κάθετη προς τη διεύθυνση του μαγνητικού πεδίου. Στην εικόνα 1 μπορούμε να δούμε τα πηνία αυτά (Deflecting coils). Τα πηνία κατακόρυφης απόκλισης βρίσκονται στον οριζόντιο άξονα. Η απόκλιση της δέσμης είναι ανάλογη με τη ένταση του ρεύματος που διαρρέει τα πηνία εκτροπής. Συνεπώς η θέση της κουκίδας στην οθόνη εξαρτάται τόσο από την ένταση του ρεύματος στα πηνία όσο και από την διεύθυνση του. Όταν δε διαρρέονται καθόλου από ρεύμα τότε δεν έχουμε απόκλιση δέσμης. Η διεύθυνση του ρεύματος καθορίζει την πλευρά προς την οποία θα αποκλίνει η δέσμη. Για να παραχθεί μια ολοκληρωμένη εικόνα πρέπει η παραπάνω διαδικασία να επαναλαμβάνεται συνέχεια με μεγάλη ταχύτητα. Η ηλεκτρονική δέσμη θα πρέπει να ξεκινάει από την επάνω αριστερή γωνία. Στην συνέχεια σαρώνονται όλες οι κουκίδες που είναι στην ίδια γραμμή. Κατά την διάρκεια της σάρωσης πρέπει να μεταβάλλεται η ένταση της δέσμης έτσι ώστε να μεταβάλλεται και η ένταση του φωτός που ακτινοβολείται από την φθορίζουσα επιφάνεια. Όταν συμπληρωθεί η πρώτη γραμμή κουκίδων τότε η δέσμη επιστρέφει πίσω και ξεκινάει από την αρχή της επόμενης γραμμής. Όλες οι λεπτομέρειες και οι χρόνοι που αφορούν την διαδικασία αυτή θα αναφερθούν αναλυτικά σε επόμενο κεφάλαιο.

3. Οθόνες υγρού κρυστάλλου

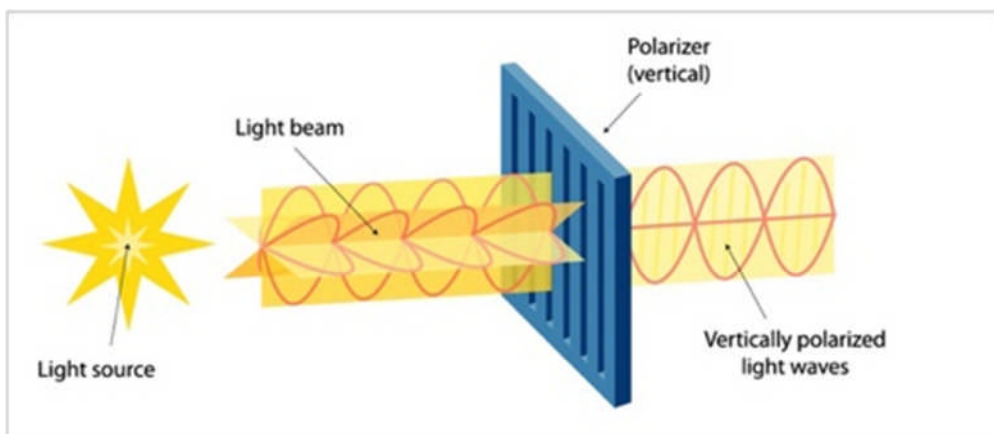
Η οθόνη υγρού κρυστάλλου αποτελείται από ένα σύνολο πολύ λεπτών στρωμάτων διαφορετικών υλικών τα οποία έχουν κάποιες ξεχωριστές ιδιότητες. Τα στρώματα είναι διατεταγμένα κάθετα όπως την εικόνα 6. Αυτό έχει ως αποτέλεσμα το πάχος της οθόνης να είναι μικρό. Αμέσως μπορούμε να διακρίνουμε τα δυο μεγάλα πλεονεκτήματα που έχουν απέναντι στις οθόνες καθοδικού σωλήνα. Μικρός όγκος και μικρό βάρος. Ένα βασικό χαρακτηριστικό της οθόνης υγρού κρυστάλλου είναι ότι για να λειτουργήσει χρειάζεται μία ξένη πηγή φωτός. Αύτη η πηγή φωτός είναι το τελευταίο στρώμα προς τα πίσω και είναι λάμπες φθορίου μικρής τάσης. Ονομάζονται CCFL (Cold Cathode Fluorescent lamp) και έχουν το πλεονέκτημα ότι είναι μικρές και φθηνές. Είναι τοποθετημένες έτσι ώστε το φως να διαχέεται ομοιόμορφα προς τα επόμενα στρώματα. Συνήθως μπροστά από τις λάμπες, για να επιτευχθεί αυτή η ομοιόμορφη διάχυση, υπάρχει και ένα φίλτρο διάχυσης που βοηθάει στον σκοπό αυτό. Υπάρχουν και οθόνες που αντί για λάμπες φθορίου, χρησιμοποιούν LED σαν εξωτερική πηγή φωτός. Τα LED έχουν το πλεονέκτημα ότι παρουσιάζουν μια σταθερότητα με τις αλλαγές της θερμοκρασίας, έχουν μεγάλη διάρκεια ζωής και πολύ μικρή κατανάλωση. Οθόνες με LED σαν πηγή φωτός βρίσκουν εφαρμογή στους φορητούς υπολογιστές. Στη συνέχεια όπως βλέπουμε στην εικόνα 6 το φως (Light) που παράγεται από την εξωτερική πηγή συναντάει ένα στρώμα που ονομάζεται φίλτρο πόλωσης (Polarizer).



Εικόνα 6 : Κατασκευαστική δομή οθόνης TFT

3.1. Πόλωση του φωτός

Η εξωτερική πηγή φωτός ανεξαρτήτως αν είναι CCFL ή LED εκπέμπει φώς με όλες τις δυνατές πολώσεις. Όταν αναφερόμαστε στον όρο πόλωση του φωτός εννοούμε την κατεύθυνση ταλάντωσής της πηγής. Στο παράδειγμα της εικόνας 7 βλέπουμε μια πηγή που παράγει ακτίνα φωτός με πολλές πολώσεις. Το φως περνάει στη συνέχεια από ένα φίλτρο



Εικόνα 7 : Παράδειγμα φίλτρου πόλωσης

κάθετης πόλωσης. Στην έξοδο του φίλτρου λαμβάνουμε την ίδια ακτίνα κάθετα πολωμένη. Η ίδια λογική εφαρμόζεται και στις οθόνες LCD. Μετά την παραγωγή του φωτός από την εξωτερική πηγή, το φως περνάει μέσα από ένα φίλτρο πόλωσης (Polarizer). Αυτό έχει ως

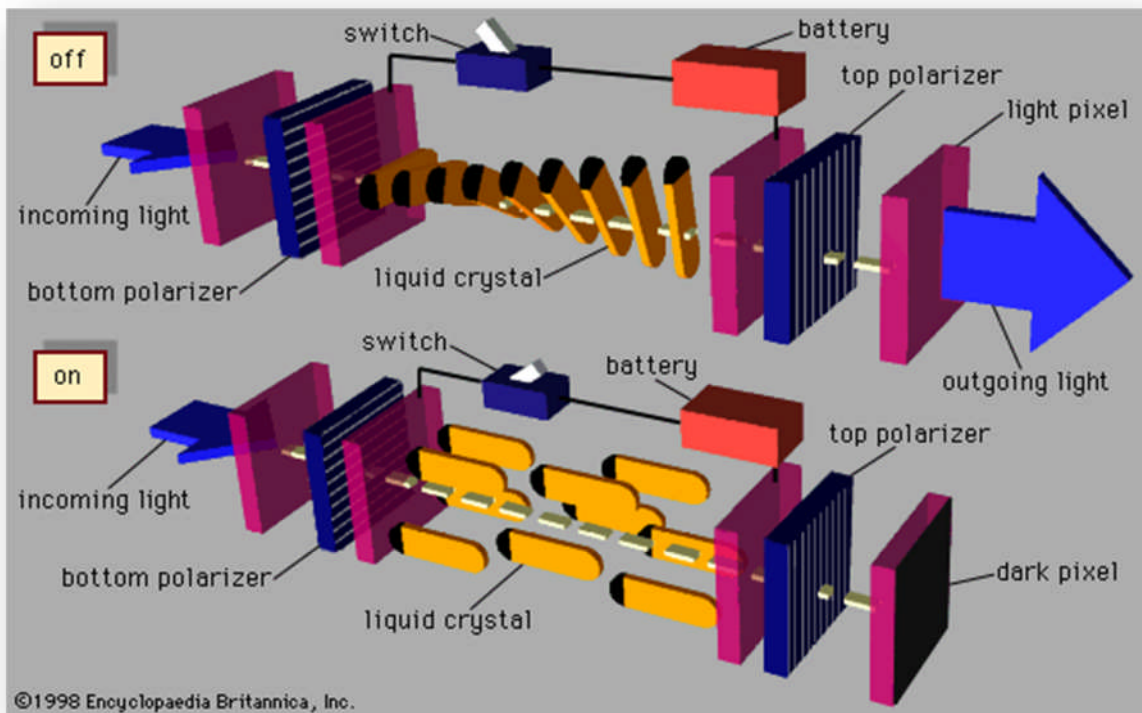
αποτέλεσμα όλο το φως που περνάει να είναι πολωμένο προς μία μόνο κατεύθυνση. Στην εικόνα 6 βλέπουμε ότι το πρώτο φίλτρο της LCD είναι φίλτρο οριζόντια πόλωσης και την ακτίνα να εξέρχεται οριζόντια πολωμένη από αυτό.

3.2. Υγρός Κρύσταλλος

Μετά το φίλτρο πόλωσης το οριζόντια πολωμένο φώς φτάνει στο επόμενο στρώμα που αποτελείται από το υλικό Υγρός κρύσταλλος (Liquid Crystal). Το γεγονός ότι οι οθόνες έχουν πάρει το όνομα τους από αυτό δηλώνει το πόσο σημαντικός είναι ο ρόλος του στη λειτουργία της οθόνης. Σε ένα στερεό σώμα τα μόρια έχουν ένα σταθερό προσανατολισμό στο χώρο και συγκεκριμένες θέσεις μεταξύ τους. Αντίθετα τα μόρια στο υγρό δεν έχουν συγκεκριμένες θέσεις και μπορούν να προσανατολιστούν προς οποιαδήποτε κατεύθυνση. Ο υγρός κρύσταλλος έχει τη δυνατότητα να συνδυάζει τις ιδιότητες στερεού και υγρού ανάλογα με τα ποσά ενέργειας που λαμβάνει. Υπάρχουν κάποιοι κρύσταλλοι οι οποίοι για να αλλάξουν τις ιδιότητες τους χρειάζονται θερμότητα ενώ κάποιοι άλλοι την επίδραση κάποιου ηλεκτρικού πεδίου. Στις οθόνες LCD χρησιμοποιείται μια κατηγορία υγρών κρυστάλλων, οι νηματοειδής κρύσταλλοι (Twisted Nematics). Αυτοί οι κρύσταλλοι σε κανονική θερμοκρασία και χωρίς την επίδραση ηλεκτρικού πεδίου έχουν τα μόρια τους συνεστραμμένα όπως στην εικόνα 8 επάνω, ενώ σε αντίθετη περίπτωση που είναι υπό την επίδραση ηλεκτρικού πεδίου αποστρέφονται και η μορφή που παίρνουν είναι όπως το κάτω μέρος της εικόνας 8. Στην περίπτωση όπου εφαρμοστή ασθενές ηλεκτρικό πεδίο τότε έχουμε μερική αποστροφή. Όταν τα μόρια του υγρού κρυστάλλου είναι συνεστραμμένα τότε αλλάζουν τη πόλωση του εισερχόμενου φωτός και συγκεκριμένα στις οθόνες LCD κατά 90° για τη μέγιστη τιμή ηλεκτρικού πεδίου ενώ σε αντίθετη περίπτωση το φώς εξέρχεται ακριβώς με την πόλωση με την οποία εισήλθε. Στην εικόνα 6 βλέπουμε τρεις περιπτώσεις συμπεριφοράς του κρυστάλλου σε ένα οριζόντια πολωμένο φώς. Η πρώτη περίπτωση επάνω είναι όταν δεν εφαρμόζεται ηλεκτρικό πεδίο και το οριζόντια πολωμένο φως αλλάζει πόλωση κατά 90° . Στην ενδιάμεση περίπτωση λόγω ασθενές ηλεκτρικού πεδίου έχουμε μερική αποστροφή. Στην τελευταία το ηλεκτρικό πεδίο παίρνει την μέγιστη τιμή του και έχουμε πλήρη αποστροφή. Αυτή η ιδιότητα είναι εξαιρετικά σημαντική και σε αυτήν βασίζεται η αρχή λειτουργίας των οθόνων.

3.3. Λειτουργία της οθόνης

Μετά το στρώμα του υγρού κρυστάλλου υπάρχει ένα ακόμα φίλτρο το οποίο αυτή τη φορά είναι φίλτρο κάθετης πόλωσης όπως φαίνεται και στην εικόνα 6. Αμέσως διαπιστώνουμε ότι το οριζόντια πολωμένο φως που προέρχεται από το πρώτο φίλτρο δεν θα περάσει το δεύτερο αν δεν αλλάξει η πόλωση του. Αυτός είναι και ο λόγος ύπαρξης του στρώματος υγρού κρυστάλλου ανάμεσα στα δυο φίλτρα.



Εικόνα 8 : Δομή των μορίων του υγρού κρυστάλλου

Όταν δεν εφαρμόζεται ηλεκτρικό πεδίο το στρώμα υγρού κρυστάλλου αλλάζει την πόλωση του οριζόντια πολωμένου φωτός κατά 90° . Έτσι το φως μπορεί να διαπεράσει και το δεύτερο φίλτρο και να κατευθυνθεί προς το επόμενο στρώμα. Σε περίπτωση φυσικά ύπαρξης ηλεκτρικού πεδίου η πόλωση του οριζόντια πολωμένου φωτός δεν αλλάζει έχοντας ως αποτέλεσμα το φως να μην διαπεράσει το δεύτερο φίλτρο. Με την μεταβολή της έντασης του ηλεκτρικού πεδίου μεταβάλλεται και η γωνία της πόλωσης και μπορεί να πάρει οποιαδήποτε τιμή μεταξύ 0° και 90° με αποτέλεσμα να περάσει ένα μέρος μόνο του φωτός.

3.4. Έγχρωμη εικόνα

Πριν το φίλτρο κάθετης πόλωσης υπάρχει ένα στρώμα που ονομάζεται φίλτρο χρώματος και σκοπός του είναι να αφήσει να περάσει μόνο το φως με συγκεκριμένα μήκη κύματος όπως 660nm (Κόκκινο) , 510nm (Πράσινο) και 475nm (Μπλε). Στην εικόνα 6 βλέπουμε τη διαδικασία που έχει περιγραφεί παραπάνω αναλυτικά. Διακρίνουμε την διαδικασία διέλευσης του φωτός σε ένα pixel. Στο πρώτο sub pixel δεν υπάρχει ηλεκτρικό πεδίο συνεπώς το φως περνάει κανονικά και εμφανίζεται ως κόκκινο στην οθόνη αφού έχει περάσει από το αντίστοιχο φίλτρο χρώματος. Στο δεύτερο sub pixel το οριζόντια πολωμένο φως πολώνεται αλλά λόγω του ασθενούς ηλεκτρικού πεδίου η γωνία πόλωσης είναι μικρή. Συνεπώς μόνο ένα μέρος του φωτός μπορεί να περάσει και θα εμφανιστεί στην οθόνη με μειωμένη φωτεινότητα ως μπλε. Στο τρίτο sub pixel η ένταση του ηλεκτρικού πεδίου είναι τέτοια που τα μόρια του κρυστάλλου αποστρέφονται και δεν αφήνουν την αλλαγή της πόλωσης του φωτός με αποτέλεσμα να μην μπορεί περάσει το δεύτερο φίλτρο. Κατά συνέπεια το τρίτο sub pixel θα παραμείνει μαύρο. Ο συνδυασμός των τριών βασικών χρωμάτων των τριών sub pixel μπορεί να μας δώσει όλους τους συνδυασμούς χρωμάτων.

3.5. Τεχνολογίες LCD

Στις παραπάνω παραγράφους είδαμε ότι η διέλευση του φωτός εξαρτάται αποκλειστικά από την ύπαρξη ηλεκτρικού πεδίου στον υγρό κρύσταλλο. Συνεπώς θα πρέπει να υπάρχει ένας μηχανισμός που να μπορεί να ελέγχει την τάση που εφαρμόζεται σε κάθε κρύσταλλο κάθε στιγμή. Μια οθόνη με ανάλυση 1024 x 768 αποτελείται από 786432 pixels και 2359296 sub pixels. Αυτό σημαίνει ότι θα πρέπει να γίνεται έλεγχος της τάσης σε 2359296 κρυστάλλους πράγμα που είναι αρκετά δύσκολο και αυτός είναι ένας λόγος που κρατάει το κόστος αυτών των οθόνων σχετικά υψηλό σε αντίθεση με τις CRT που όλη η εικόνα παράγεται από τρεις και μόνο ακτίνες. Λύση στο παραπάνω πρόβλημα έρχεται να δώσει μια κατηγορία οθονών οι οποίες ονομάζονται οθόνες TFT. Χρησιμοποιούν ένα τρανζίστορ, από το οποίο παίρνουν και το όνομα τους, για τον έλεγχο κάθε υπό pixel. Όλα τα τρανζίστορ είναι σχεδιασμένα επάνω στον ίδιο δίσκο πυριτίου και αυτός είναι τοποθετημένος στο εσωτερικό μιας λεπτής γυάλινης πλάκας. Κάθε ένα από αυτά τα τρανζίστορ λειτουργεί ως διακόπτης και ελέγχει την ποσότητα του ηλεκτρικού πεδίου που

εφαρμόζεται στο κρύσταλλο μέχρι την επόμενη ανανέωση εικόνας. Το γεγονός αυτό κάνει το φαινόμενο του τρεμοπαίγματος (flickering) να μην είναι ορατό σε αυτήν την κατηγορία οθονών.

3.6. Σύγκριση οθόνης CRT και TFT

Το γεγονός ότι η δημιουργία μιας εικόνας στις οθόνες TFT δεν είναι αποτέλεσμα μιας κινούμενης ηλεκτρονικής δέσμης αλλά ενός συνόλου από pixels, που ελέγχονται το καθένα ξεχωριστά και είναι σε σταθερές θέσεις, έχει ως αποτέλεσμα μια οθόνη με 100% ακρίβεια στην γεωμετρία της και λεπτομέρεια στην εικόνα. Οι οθόνες TFT έχουν την καλύτερη ποιότητα εικόνας όταν λειτουργούν στην ανάλυση που είναι κατασκευασμένες. Σε διαφορετική περίπτωση η ποιότητα πέφτει κατακόρυφα. Αυτό δεν συμβαίνει στις CRT γιατί δεν έχουν σταθερή γεωμετρία και μπορούν να λειτουργήσουν με καλά αποτελέσματα σε ένα σύνολο από αναλύσεις. Οι TFT έχουν πολύ μικρότερη κατανάλωση από τις CRT και μεγαλύτερη διάρκεια ζωής. Ακόμα πλεονεκτήματα όπως μικρός όγκος και μικρό βάρος καθιστούν τις TFT ως μοναδική επιλογή σαν μέσο απεικόνισης.

Τρόποι διασύνδεσης Οθονών

1. VGA

Ο connector VGA είχε εισαχθεί στην αγορά το 1987 από την IBM με κύριο στόχο την διασύνδεση οθονών με εξωτερικά κυκλώματα και σύντομα καθιερώθηκε ως πρότυπο με ανάλυση απεικόνισης στα 640 x 480. Στην συνέχεια αναπτύχθηκαν μια σειρά από άλλες αναλύσεις που όμως όλες ήταν βασισμένες στην αρχή λειτουργίας της VGA. Μερικές από αυτές είναι η SVGA στα 800 x 600, η XGA στα 1024 x 768, η SXGA στα 1280 x 1024 και η UXGA στα 1600 x 1200. Όταν αναφερόμαστε στον όρο ανάλυση εννοούμε τον αριθμό των στηλών x τον αριθμό των γραμμών της οθόνης.

Πίνακας 1 : Αναλύσεις και χαρακτηριστικά της σάρωσης

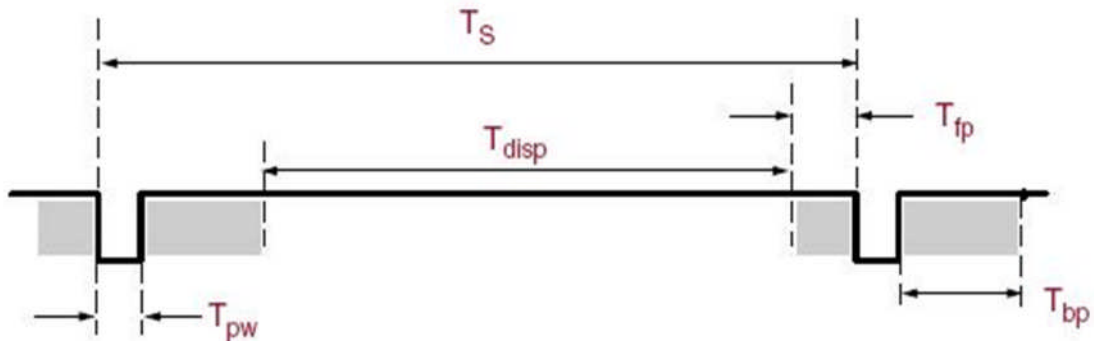
Format	Pixel Clock (MHz)	Horizontal (in Pixels)				Vertical (in Lines)			
		Active Video	Front Porch	Sync Pulse	Back Porch	Active Video	Front Porch	Sync Pulse	Back Porch
640x480, 60Hz	25.175	640	16	96	48	480	11	2	31
640x480, 72Hz	31.500	640	24	40	128	480	9	3	28
640x480, 75Hz	31.500	640	16	96	48	480	11	2	32
640x480, 85Hz	36.000	640	32	48	112	480	1	3	25
800x600, 56Hz	38.100	800	32	128	128	600	1	4	14
800x600, 60Hz	40.000	800	40	128	88	600	1	4	23
800x600, 72Hz	50.000	800	56	120	64	600	37	6	23
800x600, 75Hz	49.500	800	16	80	160	600	1	2	21
800x600, 85Hz	56.250	800	32	64	152	600	1	3	27
1024x768, 60Hz	65.000	1024	24	136	160	768	3	6	29
1024x768, 70Hz	75.000	1024	24	136	144	768	3	6	29
1024x768, 75Hz	78.750	1024	16	96	176	768	1	3	28
1024x768, 85Hz	94.500	1024	48	96	208	768	1	3	36

Στον πίνακα 1 βλέπουμε μια λίστα από αναλύσεις και ρυθμούς ανανέωσης και τα όλα τα χαρακτηριστικά τους που προσδιορίζουν τους χρόνους οριζόντιας και κάθετης σάρωσης. Στις επόμενες παραγράφους θα εξηγηθούν αυτά τα χαρακτηριστικά.

1.1. Οριζόντια σάρωση

Στην περιγραφή λειτουργίας που θα κάνουμε σε αυτήν την παράγραφο θα αναφερθούμε στην ανάλυση 640 x 480 με ρυθμό ανανέωσης 60Hz. Για να μπορέσουμε να ελέγξουμε μια οθόνη μέσω VGA, πέντε σήματα μας είναι απαραίτητα. Τα τρία από αυτά είναι η χρωματική πληροφορία και είναι αναλογικά ενώ τα άλλα δύο είναι σήματα συγχρονισμού και είναι ψηφιακά. Τα σήματα της χρωματικής πληροφορίας είναι τα RED, GREEN και BLUE. Τα επίπεδα των τάσεων στα σήματα αυτά καθορίζουν και το χρώμα που εμφανίζεται στην οθόνη. Σε επόμενη παράγραφο θα αναλυθεί σε ποιά όρια πρέπει να κυμαίνονται αυτά τα επίπεδα και γενικά ότι αφορά το χρώμα. Εδώ θα αναλυθούν τα σήματα συγχρονισμού τα οποία είναι τα HSYNC και VSYNC. Το HSYNC είναι το σήμα οριζόντιου συγχρονισμού και το VSYNC είναι το σήμα κάθετου συγχρονισμού. Στον πίνακα 1

βλέπουμε στη δεύτερη στήλη τον όρο Pixel clock που μας δείχνει την συχνότητα με την οποία γίνεται η οριζόντια σάρωση. Στην περίπτωση μας είναι 25.175MHz.



Εικόνα 9 : Οριζόντια σάρωση

Στην εικόνα 9 βλέπουμε όλους τους χρόνους που μας ενδιαφέρουν κατά τη οριζόντια σάρωση. Η διαδικασία της οριζόντιας σάρωσης αρχίζει με τον οριζόντιο συγχρονιστικό παλμό. Συγχρονιστικό παλμό έχουμε και κατά την κάθετη σάρωση. Στην περίπτωση αυτή ο παλμός λέγεται κάθετος συγχρονιστικός παλμός και η ύπαρξη του σημαίνει το τέλος μιας εικόνας και την έναρξη μιας καινούργιας. Όπως φαίνεται και στον πίνακα 1 η διάρκεια του οριζόντιου συγχρονιστικού παλμού είναι 96 παλμοί ωρολογίου. Η συχνότητα με την οποία σαρώνονται τα pixel οριζόντια είναι 25.175MHz. Συνεπώς μπορούμε να υπολογίσουμε τη χρονική διάρκεια του.

Διάρκεια οριζόντιου συγχρονιστικού παλμού:

Μετά τον οριζόντιο συγχρονιστικό παλμό ακολουθεί μια «νεκρή περίοδος» η οποία ονομάζεται Back Porch. Αυτή η χρονική περίοδος στις σύγχρονες οθόνες δεν έχει καμία χρησιμότητα αλλά υπάρχει μέχρι σήμερα για λόγους συμβατότητας. Στις παλιές οθόνες αυτό το διάστημα ήταν απαραίτητο έτσι ώστε μετά τον συγχρονιστικό παλμό να προλάβουν να μπουν στο διάστημα της ορατής περιοχής χωρίς προβλήματα. Αυτό συνέβαινε λόγω περιορισμών στην ταχύτητα των ηλεκτρονικών στην τότε υπάρχουσα τεχνολογία. Η διάρκεια αυτής της περιόδου είναι 48 παλμοί ωρολογίου.

Διάρκεια Back Porch :

$$= \frac{1}{25.175 \times 10} \times 48 = \frac{1}{25.175 \times 10} \times 48 = 1.906$$

Στην συνέχεια ακολουθεί η σάρωση της ορατή περιοχής και η διάρκεια της είναι 640 παλμοί ωρολογίου για το παράδειγμα μας. Στην περιοχή αυτή σε κάθε περίοδο ωρολογίου ανανεώνεται και ένα pixel με την αντίστοιχη χρωματική πληροφορία.

Διάρκεια ορατής περιοχής :

$$= \frac{1}{25.175 \times 10} \times 640 = \frac{1}{25.175 \times 10} \times 640 = 25.422$$

Τελευταία περίοδος πριν την ολοκλήρωση μια οριζόντιας γραμμής είναι η Front Porch. Όπως και η Back Porch έτσι και αυτή είναι μια «νεκρή περίοδος» η οποία ήταν χρήσιμη μόνο στις παλιές οθόνες. Η διάρκεια της είναι 16 παλμοί ωρολογίου. Έτσι μπορούμε να την υπολογίσουμε:

$$= \frac{1}{25.175 \times 10} \times 16 = \frac{1}{25.175 \times 10} \times 16 = 635.55$$

Ο συνολικός χρόνος που χρειάζεται για να ολοκληρωθεί η διαδικασία της οριζόντιας σάρωσης για μία γραμμή είναι το άθροισμα όλων των παραπάνω χρόνων.

Χρόνος που απαιτείται για τη σάρωση μιας οριζόντιας γραμμής:

$$= \quad + \quad + \quad + \quad = 31.77$$

1.2. Κάθετη σάρωση

Όλες οι περίοδοι που αναφέραμε για την οριζόντια σάρωση (συγχρονιστικός παλμός, back porch, ορατή περιοχή και front porch) ισχύουν και για την κάθετη σάρωση με την διαφορά φυσικά ότι διαφέρει η χρονική διάρκεια τους. Στον πίνακα 1 φαίνεται η διάρκεια τους η

Error! Use the Home tab to apply Επικεφαλίδα 2 to the text that you want to appear here.

Error! Use the Home tab to apply Επικεφαλίδα 1

to the text that you want to appear here.

οποία εκφράζεται σε γραμμές (lines). Ο κάθετος συγχρονιστικός παλμός διαρκεί για περίοδο 2 γραμμών.

$$= \times 2 = 63.54$$

Με παρόμοιο τρόπο και σύμφωνα πάντα με τις τιμές του πίνακα 1 μπορούμε να υπολογίσουμε όλες τις χρονικές διάρκειες των περιόδων της κάθετης σάρωσης. Στον παρακάτω πίνακα συνοψίζονται όλα τα αποτελέσματα των υπολογισμών.

Πίνακας 2 : Χρόνοι οριζόντιας και κάθετης σάρωσης

Symbol	Parameter	Vertical Sync			Horizontal Sync	
		Time	Clocks	Lines	Time	Clocks
T_s	Total Time	16.65 ms	416800	524	31.77 μ s	800
T_{pw}	Sync Pulse	63.54 μ s	1600	2	3.813 μ s	96
T_{bp}	Back Porch	984.87 μ s	24800	31	1.906 μ s	48
T_{disp}	Display Time	15.25 ms	384000	480	25.422 μ s	640
T_{fp}	Front Porch	349.47 μ s	8800	11	635.55 ns	16

1.3. Περιγραφή λειτουργίας

Η διαδικασία ξεκινάει με τους δύο συγχρονιστικούς παλμούς που σημαίνει ότι και τα δύο σήματα συγχρονισμού είναι σε λογικό «0». Μετά τους συγχρονιστικούς παλμούς τα σήματα HSYNC και VSYNC θέτονται σε λογικό «1». Αυτό σημαίνει ότι ξεκινάει η σάρωση της πρώτης γραμμής μιας καινούργιας εικόνας. Η ορατή περιοχή και το pixel (0,0) αρχίζουν από το σημείο που τελειώνουν οι περιοχές back porch της κάθετης και οριζόντιας σάρωσης. Στην συνέχεια σαρώνονται όλα τα pixels στην ίδια γραμμή μέχρι το pixel (0,639) όπως την εικόνα 10. Μετά από αυτό το pixel η οριζόντια σάρωση μπαίνει στην περιοχή front porch και παραμένει εκεί για το διάστημα που έχει υπολογιστεί. Στο σημείο αυτό τελειώνει η σάρωση της πρώτης οριζόντιας γραμμής και το σήμα οριζόντιου συγχρονισμού HSYNC αλλάζει σε λογικό «0» έτσι ώστε να σηματοδοτηθεί η έναρξη της σάρωσης της επόμενης γραμμής. Συγχρόνως το σήμα VSYNC παραμένει σε λογικό '1' γιατί η κάθετη

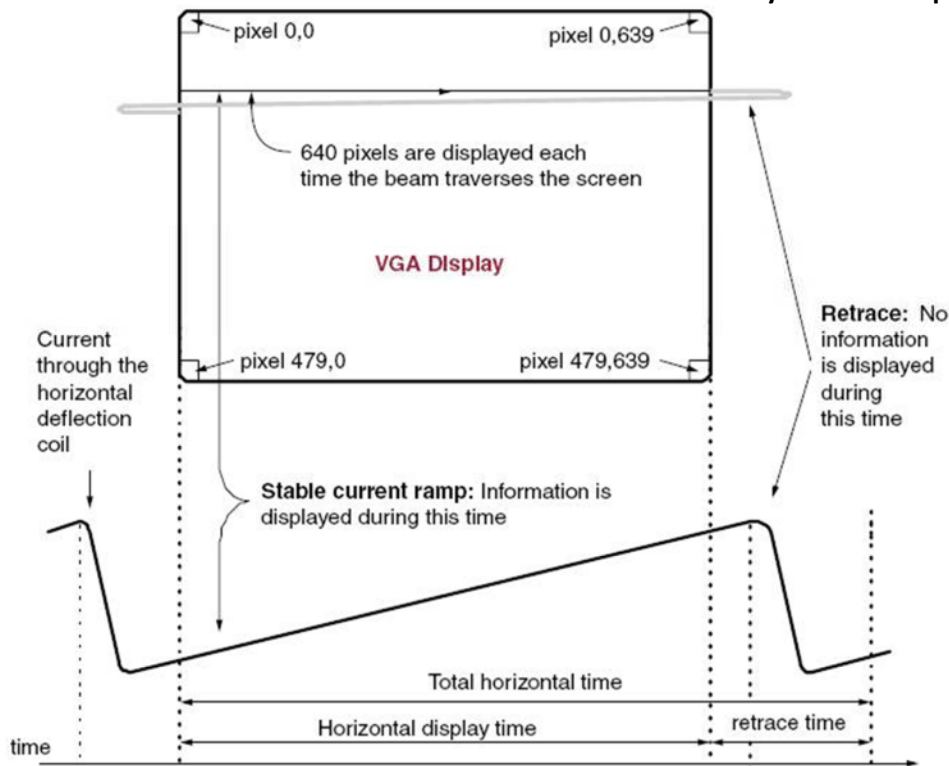
σάρωση παραμένει στην ορατή περιοχή μέχρι να σαρωθούν και οι 480 γραμμές. Μετά την αλλαγή γραμμής, η διαδικασία της οριζόντιας σάρωσης συνεχίζεται όπως έχουμε περιγράψει και επαναλαμβάνεται μέχρι να συμπληρωθούν οι 480 γραμμές της ορατής περιοχής και οι υπόλοιπες γραμμές της περιοχής front porch του κάθετου συγχρονισμού. Στο τέλος της τελευταίας γραμμής της περιοχής front porch τελειώνει μια πλήρη διαδικασία απεικόνισης μια εικόνας και τα σήματα συγχρονισμού HSYNC και VSYNC επιστρέφουν ξανά σε λογικό «0» έτσι ώστε να αρχίσει ξανά η διαδικασία από την αρχή για μια καινούργια εικόνα.

1.4. Ρυθμός ανανέωσης

Παρατηρούμε ότι ο χρόνος που χρειάζεται για να ολοκληρωθεί μια πλήρης εικόνα είναι 16.65 ms. Αυτό σημαίνει ότι σε περίοδο 1 s ο αριθμός των εικόνων που θα έχουν απεικονιστεί στην οθόνη θα είναι :

$$= \frac{1}{16.65 \times 10^{-3}} = 60$$

Μπορούμε έτσι να ορίσουμε μια έννοια η οποία είναι πολύ σημαντική και ονομάζεται ρυθμός ανανέωσης (Refresh rate). Ρυθμός ανανέωσης είναι ο αριθμός των εικόνων που εμφανίζονται στην οθόνη στο διάστημα 1 s. Στον πίνακα 1 μπορούμε να δούμε και τους ρυθμούς ανανέωσης διαφόρων αναλύσεων. Οι πιο συνηθισμένοι ρυθμοί ανανέωσης στις οθόνες των προσωπικών υπολογιστών είναι μεταξύ 60 και 90 εικόνες το δευτερόλεπτο. Το κατώτατο όριο του ρυθμού ανανέωσης προσδιορίζεται από το ανθρώπινο μάτι ενώ το



Εικόνα 10 : Η διαδικασία της σάρωσης

ανώτατο από την ίδια την οθόνη. Ο λόγος είναι ότι αν ο ρυθμός ανανέωσης πέσει κάτω από 60 εικόνες το δευτερόλεπτο τότε το ανθρώπινο μάτι βλέπει ένα «τρεμόπαιγμα» το οποίο είναι γνωστό και ως flickering. Το πρόβλημα αυτό είναι πολύ πιο έντονο στις οθόνες CRT όπου το φως που παράγεται από την πτώση της ηλεκτρονικής δέσμης επάνω στο στρώμα από φώσφορο είναι μικρής διάρκειας και συνεπώς μια αργή ανανέωση της εικόνας είναι ικανή να δώσει στον παρατηρητή την εντύπωση ότι τρεμοπαίζει η εικόνα. Στις οθόνες TFT το flickering δε γίνεται εύκολα αντιληπτό γιατί όλα τα pixel κρατάνε τη χρωματική πληροφορία τους μέχρι και τη σάρωση της τελευταίας γραμμής. Το ανώτατο όριο του ρυθμού ανανέωσης περιορίζεται από τις προδιαγραφές της οθόνης. Στο χαρακτηριστικό αυτό πρέπει να δοθεί ιδιαίτερη προσοχή γιατί όσο πιο μεγάλος είναι ο ρυθμός ανανέωσης και η ανάλυση τόσο πιο μεγάλη είναι και η συχνότητα στα σήματα συγχρονισμού. Επιλογή πάρα πολύ υψηλού ρυθμού ανανέωσης μπορεί να προκαλέσει δυσλειτουργία στην οθόνη ακόμα και καταστροφή σε κάποιες περιπτώσεις. Για τον λόγο αυτό ο χρήστης θα πρέπει να κάνει ένα συμβιβασμό ανάμεσα σε ανάλυση και ρυθμό ανανέωσης σύμφωνα με τα χαρακτηριστικά της οθόνης του και τις δικές του προτιμήσεις.

Περιγραφή πρακτικού μέρους

1. Αναπτυξιακή μονάδα

1.1. Εισαγωγή

Το πρακτικό μέρος της πτυχιακής υλοποιήθηκε με την χρήση ολοκληρωμένων κυκλωμάτων προγραμματιζόμενης λογικής (Field Programmable Gate Arrays). Οι βασικοί λόγοι που οδήγησαν στην επιλογή αυτής της τεχνολογίας είναι τρεις. Ένας από αυτούς είναι η δυνατότητα των FPGAs να λειτουργούν σε υψηλές συχνότητες της τάξεως μερικών εκατοντάδων MHz. Όπως είδαμε και στον πίνακα 1 για να επιτευχθούν ικανοποιητικές αναλύσεις σε μια οθόνη η ελάχιστη συχνότητα σάρωσης είναι 25.175MHz. Μεγαλύτερες αναλύσεις και ρυθμοί ανανέωσης έχουν ως αποτέλεσμα και μεγαλύτερες συχνότητες σάρωσης που μπορούν να ξεπεράσουν ακόμα και τα 100MHz. Οι πιο συνηθισμένοι 32-bit μικροελεγκτές που υπάρχουν στο εμπόριο έχουν μέγιστη συχνότητα λειτουργίας μεταξύ 80 και 100 MHz. Το γεγονός αυτό έχει ως αποτέλεσμα τα FPGAs να αποτελούν την ιδανική επιλογή για εφαρμογές επεξεργασίας εικόνας και απεικόνισης όπου οι υψηλές συχνότητες λειτουργίας είναι βασικό κριτήριο. Ένας δεύτερος λόγος που επιλέχθηκαν τα FPGAs είναι η δυνατότητα που έχουν για παράλληλη επεξεργασία δεδομένων σε αντίθεση με τους μικροελεγκτές που κάτι τέτοιο δεν είναι εφικτό γιατί το πρόγραμμα εκτελείται σειριακά (ακολουθιακά). Η χρήση περιγραφικών γλωσσών προγραμματισμού όπως VHDL και VERILOG βοηθάει προς αυτή την κατεύθυνση και δίνει τη δυνατότητα για σχεδίαση πολύπλοκων κυκλωμάτων. Το πλεονέκτημα αυτό των FPGAs τα καθιστά μαζί με τα ASICs μοναδική επιλογή σε απαιτητικές εφαρμογές με τη βασική διαφορά ότι τα δεύτερα δεν έχουν τη δυνατότητα να προγραμματιστούν από το χρήστη. Αυτό έχει ως αποτέλεσμα η μελέτη και η δημιουργία πρωτότυπου να είναι δύσκολη και χρονοβόρα υπόθεση στα ASICs

γεγονός που αυξάνει το κόστος και ενισχύει την χρήση των FPGAs. Ένας τρίτος λόγος που επιλέχτηκαν τα FPGAs στην πτυχιακή είναι η ανάγκη για εκμάθηση αυτής της τεχνολογίας που αναπτύσσεται ραγδαία. Η εξοικείωση με τα προγράμματα και τις συγκεκριμένες τεχνολογίες μπορεί να γίνει μόνο με την ενασχόληση σε βάθος και η εφαρμογή της πτυχιακής μου έδωσε τη δυνατότητα αυτή.

1.2. Η αναπτυξιακή μονάδα και τα χαρακτηριστικά της

Τα αναπτυξιακά είναι ένα πολύ συνηθισμένο εργαλείο που χρησιμοποιείται κατά τη σχεδίαση ψηφιακών κυκλωμάτων και ενσωματωμένων συστημάτων (embedded systems). Ο λόγος που είναι τόσο δημοφιλής οφείλεται στο γεγονός ότι τα FPGAs παρασκευάζονται σε πολύπλοκες συσκευασίες και η κατασκευή τυπωμένου κυκλώματος έχει αρκετές δυσκολίες. Χαρακτηριστικό παράδειγμα είναι ότι η πλειοψηφία των κατασκευών με FPGAs απαιτεί τυπωμένα κυκλώματα με πάνω από 2 στρώματα(layers), πράγμα που αυξάνει το κόστος κατασκευής πρωτότυπου. Εκτός αυτού αν αναλογιστούμε και την πιθανότητα λάθους στην σχεδίαση τότε αυξάνεται και το ρίσκο που παίρνει ο σχεδιαστής με αποτέλεσμα να καθυστερεί η όλη διαδικασία. Αυτά τα προβλήματα έρχονται να τα καλύψουν τα αναπτυξιακά τα οποία προσφέρουν μια έτοιμη πλατφόρμα πάνω στην οποία μπορεί ο σχεδιαστής να πειραματιστεί και να δοκιμάσει την ορθότητα και την λειτουργικότητα του κυκλώματος που σχεδίασε εύκολα και γρήγορα. Έτσι του δίνεται η δυνατότητα στη συνέχεια να προχωρήσει στη μαζική παραγωγή της εφαρμογής του χωρίς τον κίνδυνο της αποτυχίας. Το κόστος των αναπτυξιακών είναι σχετικά μικρό και περιλαμβάνουν συνήθως ένα FPGA και πλήθος περιφερειακών που διευκολύνουν την ανάπτυξη πολύπλοκων εφαρμογών χωρίς την χρήση πρόσθετων κυκλωμάτων. Παρόλα αυτά έχουν συχνά εξόδους ώστε να μπορεί να γίνει επέκταση με στόχο τη προσαρμογή στις ανάγκες του χρήστη. Υπάρχουν ακόμα αναπτυξιακά που στοχεύουν σε συγκεκριμένες εφαρμογές και ανάλογα με αυτές καθορίζονται και τα περιφερειακά που περιλαμβάνουν. Το αναπτυξιακό που θα χρησιμοποιηθεί στην πτυχιακή είναι το SPARTAN-3E Starter Kit της Digilent, είναι γενικής χρήσης και είναι αυτό στην εικόνα 11. Όπως γίνεται φανερό και από το όνομα του, η καρδιά του συστήματος είναι ένα FPGA της σειράς SPARTAN-3E. Συγκεκριμένα είναι το XC3S500-3E σε μια συσκευασία 320-pin FBGA και προσφέρει 232 I/O pins για ελεύθερη χρήση και 10476 logic cells για ανάπτυξη λογικών κυκλωμάτων.

Μεγάλο πλεονέκτημα του συγκεκριμένου αναπτυσσόμενου είναι ότι έχει πληθώρα από μνήμες. Αυτές είναι οι εξής:

- Platform FLASH 4Mbit – Η μνήμη αυτή είναι της Xilinx και χρησιμοποιείται κυρίως για τον επαναπρογραμματισμό του FPGA. Τα FPGA είναι συσκευές που δεν συγκρατούν το πρόγραμμα τους μετά την αφαίρεση της τροφοδοσίας τους και για αυτόν το λόγο μια μη-πτητική μνήμη με το πρόγραμμα αποθηκευμένο είναι απαραίτητη. Η διαδικασία αυτή του επαναπρογραμματισμού ονομάζεται configuration process και θα περιγραφεί στη συνέχεια.
- DDR SDRAM 64MByte – Η μνήμη αυτή χρησιμοποιείται για την προσωρινή αποθήκευση μεγάλου όγκου δεδομένων τα οποία μεταβάλλονται συνέχεια. Μεγάλο πλεονέκτημα αυτής της μνήμης είναι οι πολύ μικροί χρόνοι εγγραφής και ανάκτησης δεδομένων καθώς λειτουργεί σε πολύ υψηλές συχνότητες.
- NOR FLASH 16MByte – Η μνήμη αυτή χρησιμοποιείται για τον επαναπρογραμματισμό του FPGA.
- SPI Serial FLASH 2MByte – Η Μνήμη αυτή χρησιμοποιείται κυρίως για τον επαναπρογραμματισμό του FPGA όπως και για την αποθήκευση δεδομένων κατά την εκτέλεση του προγράμματος. Μεγάλο πλεονέκτημα αυτής της μνήμης είναι ότι χρησιμοποιεί σαν πρωτόκολλο επικοινωνίας της το SPI. Η απλότητα αυτού του πρωτοκόλλου συγκριτικά με τις άλλες μνήμες την καθιστά μια πολύ καλή αποθηκευτική λύση.
- EEPROM 1Kbit – Η μνήμη αυτή χρησιμοποιείται για την αποθήκευση ή ανάκτηση δεδομένων κατά την εκτέλεση ενός προγράμματος στο FPGA. Λόγο του μικρού μεγέθους της δεν χρησιμοποιείται για αποθήκευση προγράμματος.

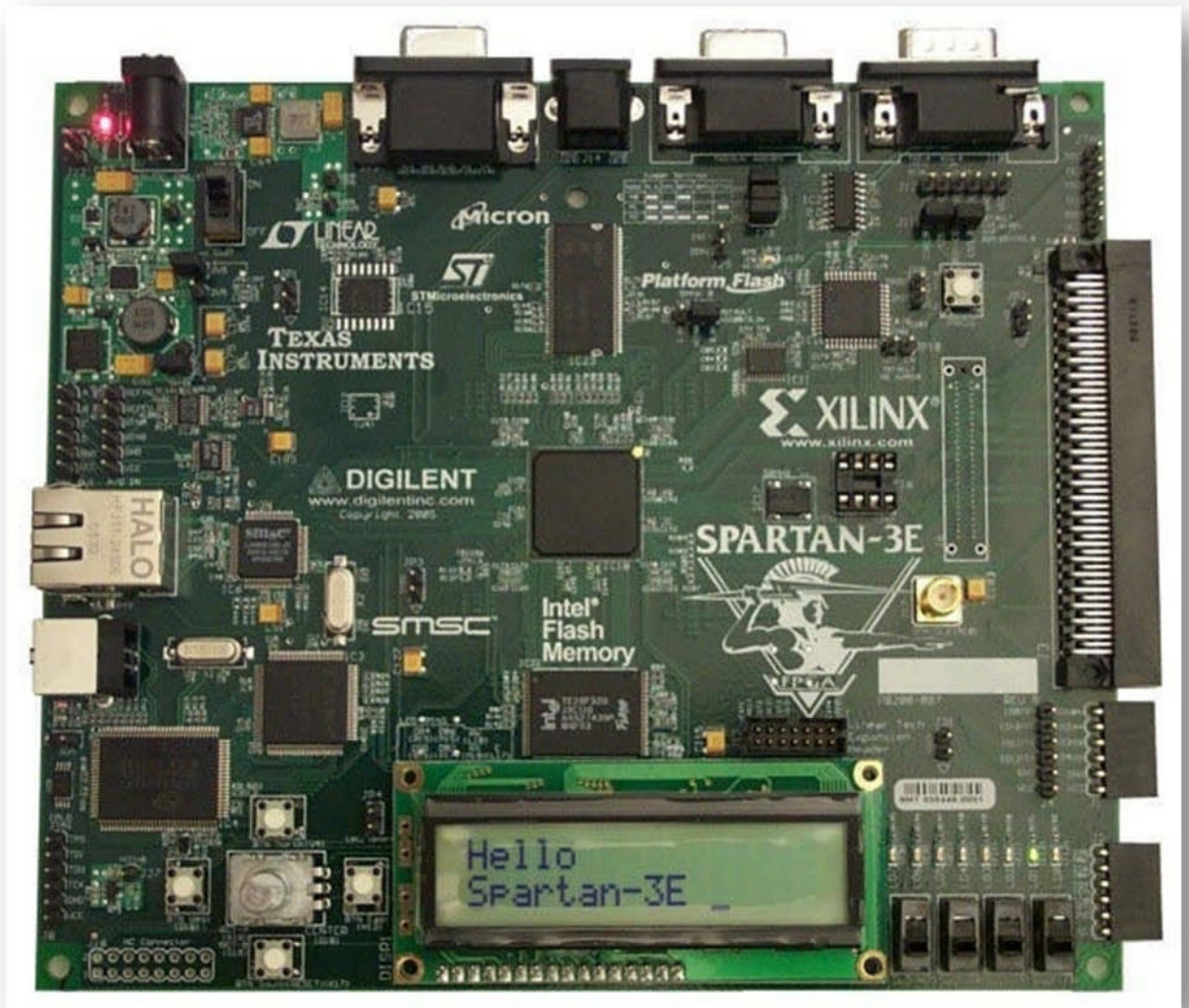
Ακόμα άλλα περιφερειακά όπως οθόνη χαρακτήρων 2x16 και μετατροπείς A/D και D/A μπορούν να φανούν εξαιρετικά χρήσιμα σε πολλές εφαρμογές και περιλαμβάνονται στη μονάδα. Η δυνατότητα επικοινωνίας με εξωτερικά κυκλώματα δίνεται μέσα από ένα σύνολο θυρών όπως Ethernet, VGA, PS/2 και τις δυο σειριακές

Error! Use the Home tab to apply Επικεφαλίδα 2 to the text that you want to appear here.

Error! Use the Home tab to apply Επικεφαλίδα 1

to the text that you want to appear here.

(DTE και DCE). Στις επόμενες παραγράφους θα γίνει περιγραφή των βασικών τμημάτων της αναπτυξιακής μονάδας που θα χρησιμοποιηθούν στην εφαρμογή.



Εικόνα 11 : Αναπτυξιακή μονάδα SPARTAN-3E

1.3. Περιγραφή των βασικών τμημάτων της μονάδας

1.3.1. Spartan-3E FPGA

Το FPGA αποτελεί την κάρδια του συστήματος. Χρησιμοποιείται το XC3S500-3E που ανήκει στη σειρά SPARTAN-3E και ισοδυναμεί με 500000 πύλες. Η συσκευασία του είναι η FG320 BGA (Ball Grid Array) και η βάση του αποτελείται από 320 μεταλλικά σφαιρίδια που είναι οργανωμένα σε 18 σειρές και 18 στήλες. Από αυτά τα 320 σφαιρίδια τα 64 είναι

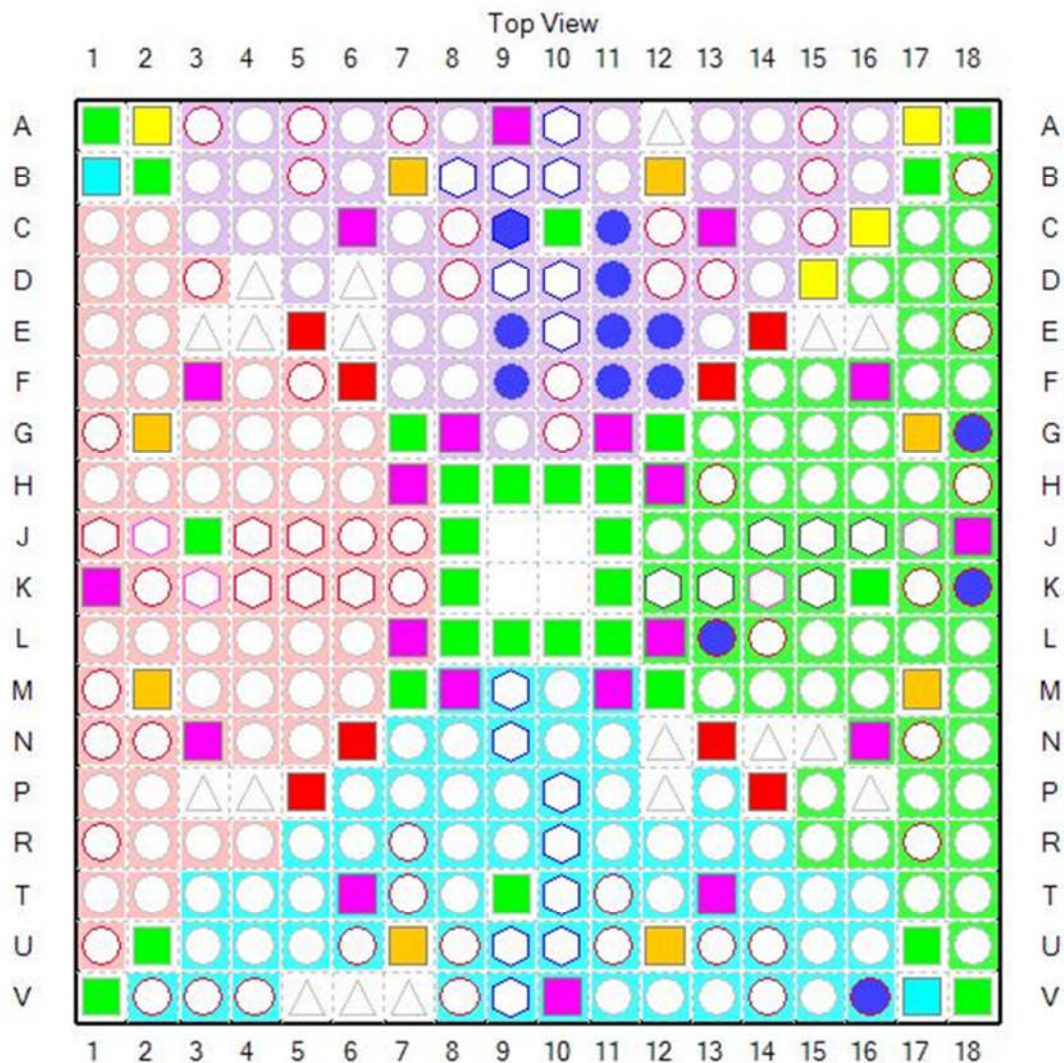
δεσμευμένα για την τροφοδοσία του FPGA. Πιο συγκεκριμένα 28 δεσμεύονται για γείωση (GND) και είναι ομοιόμορφα κατανεμημένα στο κέντρο και τα άκρα της συσκευασίας, 8 είναι για την εσωτερική τροφοδοσία (VCCINT), 8 είναι για την εξωτερική τροφοδοσία (VCCAUX) και 20 δεσμεύονται για την τροφοδοσία των κυκλωμάτων που καθορίζουν τα όρια στα οποία θα κυμαίνονται τα επίπεδα των τάσεων των εισόδων και εξόδων του FPGA (I/O pins). Η εσωτερική τροφοδοσία (VCCINT) πρέπει να είναι σταθεροποιημένη στα 1.2V και είναι υπεύθυνη για την λειτουργία όλων των λογικών κυκλωμάτων στο εσωτερικό του FPGA. Η εξωτερική τροφοδοσία (VCCAUX) πρέπει να είναι 2.5V και είναι απαραίτητη για την βέλτιστη λειτουργία κάποιων μονάδων του FPGA όπως κυκλώματα για την διαχείριση του εισερχομένου σήματος χρονισμού, για το προγραμματισμό του μέσω JTAG και το προγραμματισμό από την εξωτερική Flash PROM. Εκτός από τα 64 αυτά σφαιρίδια που είναι δεσμευμένα για τη τροφοδοσία, υπάρχουν άλλα 256 που εξυπηρετούν διάφορες λειτουργίες. Από αυτά τα 102 σφαιρίδια χρησιμοποιούνται σαν είσοδοι και έξοδοι γενικής χρήσης, 48 χρησιμοποιούνται μόνο σαν είσοδοι, 46 μοιράζονται κάποιες λειτουργίες και μπορεί ο χρήστης να τα διαχειριστεί άλογα με τις ανάγκες του, 20 μας δίνουν την δυνατότητα να εφαρμόσουμε κάποια τάση αναφοράς και 16 δεσμεύονται για είσοδο και έξοδο σημάτων χρονισμού. Συνολικά τις παραπάνω ομάδες θα μπορούσαμε να τις συνοψίσουμε όλες μαζί σε μία κατηγορία 232 εισόδων και εξόδων καθώς ανεξάρτητα από τις ξεχωριστές ιδιότητες που έχει κάθε ομάδα, έχουν όλες την δυνατότητα να χρησιμοποιηθούν από το χρήστη για τον έλεγχο περιφερειακών συσκευών. Από τα υπόλοιπα 24 σφαιρίδια που απομένουν τα 18 είναι εσωτερικά ασύνδετα στο XC3S500-3E και χρησιμοποιούνται σε άλλα FPGAs της ίδιας σειράς και τα 6 χρησιμοποιούνται για την διαδικασία του προγραμματισμού μέσω JTAG και της Flash PROM. Στην εικόνα 12 βλέπουμε τη πάνω όψη της βάσης του FPGA. Όλα τα σφαιρίδια που αναφέραμε χωρίζονται ανάλογα με την περιοχή που βρίσκονται σε 4 μεγάλες ομάδες που ονομάζονται BANKs. Στην εικόνα παρακάτω βλέπουμε αυτές τις ομάδες με διαφορετικά χρώματα. Η BANK0 είναι με μωβ χρώμα, η BANK1 είναι με πράσινο, η BANK2 με γαλάζιο και η BANK3 με ροζ. Τα άσπρα τρίγωνα είναι τα σφαιρίδια που είναι εσωτερικά ασύνδετα. Τα πράσινα τετράγωνα είναι οι γειώσεις οι οποίες κατανέμονται σε όλα τα BANKs διατηρώντας μια συμμετρία. Τα κόκκινα τετράγωνα είναι η εσωτερική τάση (VCCINT) και τα πορτοκαλί τετράγωνα είναι η εξωτερική (VCCAUX). Τα κίτρινα τετράγωνα είναι για το

Error! Use the Home tab to apply Επικεφαλίδα 2 to the text that you want to appear here.

Error! Use the Home tab to apply Επικεφαλίδα 1

to the text that you want to appear here.

προγραμματισμό του FPGA και τα δυο γαλάζια είναι απαραίτητα για το προγραμματισμό της συσκευής από εξωτερική μνήμη. Τα 20 μωβ τετράγωνα που κατανέμονται ισομερώς στα 4 BANKs είναι η τροφοδοσία που καθορίζει τα όρια που θα κυμαίνονται τα επίπεδα τάσης των εισόδων και εξόδων του FPGA και χωρίζονται σε VCCO_0, VCCO_1, VCCO_2 και VCCO_3 ανάλογα με την θέση τους. Κάθε BANK έχει την δυνατότητα να τροφοδοτηθεί με διαφορετική τάση από τα άλλα BANKs ανάλογα με τις ανάγκες του χρήστη και το εύρος των τιμών που μπορεί να πάρει είναι από 1.2 έως 3.3V.



Εικόνα 12 : Πάνω όψη της βάσης του XC3S500-3E

Μέχρι τώρα έγινε μια περιγραφή για την συσκευασία του FPGA. Εδώ θα περιγραφούν κάποια χαρακτηριστικά από την εσωτερική δομή της σειράς SPARTAN-3E που θα χρησιμοποιηθούν στην εφαρμογή της πτυχιακής. Τα FPGAs αποτελούνται εσωτερικά από

προγραμματιζόμενες λογικές μονάδες οι οποίες ονομάζονται configurable logic blocks (CLBs). Αυτές συνδέονται όλες μεταξύ τους και ο σχεδιαστής μπορεί τις χρησιμοποιήσει για να υλοποιήσει συναρτήσεις συνδυαστικής λογικής όπως και σύγχρονα ψηφιακά κυκλώματα. Συνεπώς η λειτουργία των FPGAs βασίζεται στα λογικά κυκλώματα αυτά (CLBs) που αποτελούν το μέσο σύνθεσης του Hardware του χρήστη. Παρόλα αυτά υπάρχουν εσωτερικά κάποιες έτοιμες μονάδες Hardware που επιτελούν συγκεκριμένες λειτουργίες και οι οποίες έχουν ως στόχο να διευκολύνουν και να επιταχύνουν τη διαδικασία της σχεδίασης. Δυο από αυτές τις μονάδες είναι η Διαχείριση Ωρολογίου (Digital Clock Manager) και η εσωτερική μνήμη (Block RAM).

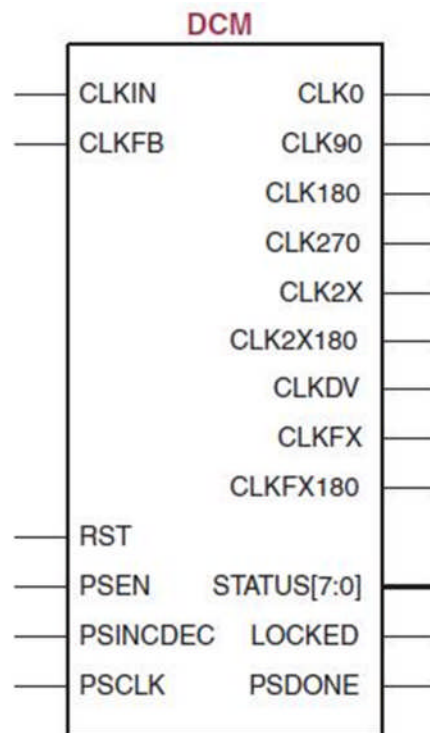
1.3.1.1. Digital Clock Manager

Τα DCMs είναι λογικά κυκλώματα που επιτελούν λειτουργίες διαχείρισης των εισερχόμενων σημάτων χρονισμού σε εφαρμογές που χρησιμοποιούνται τα FPGA της σειράς SPARTAN-3E. Ο αριθμός αυτών των κυκλωμάτων μπορεί να διαφέρει στα FPGA της σειράς ανάλογα με το μέγεθος τους. Συγκεκριμένα το XC3S500-3E περιέχει 4 DCMs. Τα βασικά πλεονεκτήματα και οι δυνατότητες των DCMs είναι οι παρακάτω:

- **Frequency Synthesis (Σύνθεση συχνότητας):** Τα DCMs έχουν την δυνατότητα να δημιουργήσουν ένα μεγάλο εύρος συχνοτήτων από την επεξεργασία ενός εισερχόμενου σήματος χρονισμού. Με πολλαπλασιασμό και διαίρεση του εισερχόμενου σήματος με διάφορους συντελεστές έχουμε ως αποτέλεσμα τη σύνθεση ενός καινούργιου σήματος χρονισμού συγκεκριμένης συχνότητας. Υπάρχει ακόμα και η δυνατότητα για δημιουργία παραπάνω από μια συχνότητες οι οποίες μπορούν να χρησιμοποιηθούν εσωτερικά στο FPGA ή για να τροφοδοτήσουν εξωτερικά κυκλώματα.
- **Phase Shifting (Μεταβολή φάσης):** Τα DCMs μπορούν να μεταβάλουν τη φάση όλων των παραγόμενων σημάτων. Αυτό επιτυγχάνεται καθυστερώντας κατά συγκεκριμένη χρονική περίοδο το εισερχόμενο σήμα χρονισμού.
- **Clock conditioning:** Είναι η διαδικασία κατά την οποία ένα σήμα χρονισμού με ένα οποιοδήποτε duty cycle μετατρέπεται σε σήμα με duty cycle 50%.

- **Clock Skew Elimination (Εξάλειψη του φαινόµενου της παραµόρφωσης των σηµάτων χρονισµού):** Ένα από τα µεγαλύτερα προβλήµατα που αντιμετωπίζουν τα σύγχρονα κυκλώµατα που λειτουργούν σε υψηλές συχνότητες από 50MHz και πάνω είναι η παραµόρφωση των σηµάτων χρονισµού. Η παραµόρφωση αυτή είναι γνωστή σαν Clock skew και οφείλεται στο γεγονός ότι τα σήµατα χρονισµού φτάνουν σε διαφορετικούς χρόνους σε διαφορετικά σηµεία µε αποτέλεσµα να δηµιουργείται µια διαφορά φάσης που δεν είναι επιθυµητή. Το πρόβληµα αυτό αντιμετωπίζεται µε τη χρήση DCMs καθώς µε κατάλληλες τεχνικές εξαλείφονται αυτές οι καθυστερήσεις των σηµάτων χρονισµού.

Στην εικόνα 13 βλέπουµε το block διάγραµµα ενός DCM. Θα περιγραφούν στην συνέχεια οι λειτουργίες κάθε µιας από τις εισόδους και τις εξόδους του παρακάτω διαγράµµατος δίνοντας κυρίως έµφαση σε εκείνες που θα χρησιµοποιηθούν στη πτυχιακή.



Εικόνα 13 : Μπλοκ διάγραµµα DCM

Η είσοδος CLKIN αποτελεί το σηµείο εισόδου του σήµατος χρονισµού. Συνήθως η είσοδος του σήµατος γίνεται σε ένα από τα 16 κατάλληλα σφαιρίδια που όπως αναφέραµε και σε

προηγούμενη παράγραφο είναι δεσμευμένα για είσοδο και έξοδο σημάτων χρονισμού. Η χρήση της εισόδου CLKIN είναι απαραίτητη ανεξάρτητα με το λόγο που θα χρησιμοποιηθεί ο DCM και η εισερχόμενη συχνότητα χρονισμού πρέπει να βρίσκεται στα όρια που ορίζει ο κατασκευαστής. Για τις περισσότερες εφαρμογές η ελάχιστη τιμή της είναι 5MHz και η μέγιστη 90MHz ενώ μονό για την περίπτωση όπου έχουμε σύνθεση συχνότητας μπορεί να πέσει μέχρι τα 200KHz και η μέγιστη τιμή που μπορεί να πάρει είναι 333MHz.

Κατά τη διαδικασία της σύνθεσης συχνότητας, στις εξόδους CLKFX και CLKFX180 εμφανίζεται η παραγόμενη συχνότητα. Το duty cycle του παραγόμενου σήματος χρονισμού είναι 50% και η συχνότητα του δίνεται από τη σχέση:

$$= \times \frac{-}{-}$$

Τα CLKFX_MULTIPLY και CLKFX_DIVIDE είναι κάποιοι συντελεστές που καθορίζονται από το χρήστη και του δίνουν τη δυνατότητα να καθορίσει τη παραγόμενη συχνότητα η οποία όπως φαίνεται και από τη παραπάνω σχέση θα είναι πολλαπλάσιο ή υποπολλαπλάσιο της συχνότητας εισόδου. Οι τιμές της συχνότητας του σήματος εξόδου μπορούν να κυμανθούν μεταξύ 5MHz και 307MHz. Η διαφορά της εξόδου CLKFX180 με την CLKFX είναι ότι η πρώτη είναι αντεστραμμένη σε σχέση με την δεύτερη καθώς είναι σε φάση 180 μοιρών. Οι παραπάνω έξοδοι δεν χρειάζονται καμία άλλη σύνδεση για να παραχθεί συχνότητα ενώ αντίθετα στις εξόδους CLK0, CLK2X, CLK2X180 και CLKDV για να παραχθούν τα νέα σήματα χρονισμού χρειάζεται μια μορφή ανάδρασης η οποία εφαρμόζεται στην είσοδο CLKFB. Στην CLKFB συνδέεται ένα από τα σήματα CLK0 και CLK2X. Πιο αναλυτικά η CLK0 χρησιμοποιείται για περιπτώσεις όπου το ζητούμενο είναι η αποφυγή της παραμόρφωσης των σημάτων χρονισμού ενώ δεν αλλάζει καθόλου την συχνότητα ούτε το duty cycle σε σχέση με το σήμα εισόδου αντίθετα με την CLK2X που η συχνότητα εξόδου είναι διπλάσια αυτής της εισόδου και το duty cycle είναι σταθερά 50%. Το CLK2X180 είναι σε διαφορά φάσης 180 μοιρών με το CLK2X ενώ κατά τα άλλα δεν διαφέρουν. Το CLKDV διαιρεί την εισερχόμενη συχνότητα κατά ένα συντελεστή και η συχνότητα εξόδου δίνεται από τη σχέση:

= _____
-

Ο συντελεστής είναι ο CLKDV_DIVIDE και οι τιμές που μπορεί να πάρει είναι : 1.5, 2, 2.5, 3, 3.5, 4, 4.5, 5, 5.5, 6, 6.5, 7, 7.5, 8, 9, 10, 11, 12, 13, 14, 15, 16.

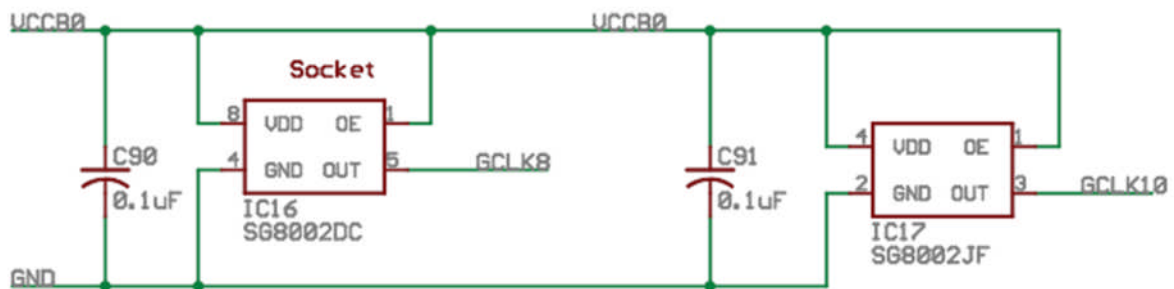
Η έξοδος LOCKED είναι πολύ σημαντική γιατί θέτεται σε λογικό ένα μονό όταν το σήμα χρονισμού στην έξοδο σταθεροποιηθεί. Ένα φαινόμενο που παρατηρείται στα ψηφιακά κυκλώματα και δημιουργεί προβλήματα κυρίως στις εφαρμογές που λειτουργούν σε υψηλές συχνότητες έχει να κάνει με το χρόνο που θέλει το σήμα χρονισμού να σταθεροποιηθεί στο επιθυμητό πλάτος του. Το πρόβλημα αυτό αντιμετωπίζεται με την χρήση DCM και αυτό γιατί η έξοδος LOCKED παραμένει σε λογικό μηδέν όσο το σήμα χρονισμού δεν είναι στην επιθυμητή κατάσταση. Συνεπώς όταν το LOCKED είναι σε λογικό μηδέν θα πρέπει ο χρήστης με κατάλληλο κύκλωμα να κάνει reset το DCM μέσω της εισόδου RST. Το DCM θα πρέπει να παραμείνει στο reset μέχρι να εντοπίσει ότι έχει σταθεροποιηθεί το σήμα χρονισμού και να θέσει το LOCKED σε λογικό ένα. Τότε και το εξωτερικό κύκλωμα θα βγάλει το DCM από την κατάσταση reset το οποίο με την σειρά του θα τροφοδοτήσει τα λογικά κυκλώματα. Περισσότερες πληροφορίες στο κομμάτι αυτό θα αναφερθούν στην παράγραφο όπου θα περιγραφεί η χρήση του DCM στην πτυχιακή.

1.3.1.2. Block RAM

Η αναπτυξιακή μονάδα όπως αναφέραμε περιλαμβάνει μια πληθώρα από μνήμες όπου η κάθε μια από αυτές έχει τα δικά της πλεονεκτήματα. Μερικά από αυτά είναι η συχνότητα λειτουργίας, το πρωτόκολλο διασύνδεσης, το μέγεθος της σε Mbit και το αν είναι πτητική η μη-πτητική ανάλογα με την εφαρμογή. Εκτός όμως των εξωτερικών μνημών που παρέχονται στην αναπτυξιακή μονάδα, η σειρά SPARTAN-3E προσφέρει την δυνατότητα δημιουργίας μνήμης RAM στο εσωτερικό του FPGA. Η δημιουργία αυτής της μνήμης δεν γίνεται με την χρήση CLBs αλλά με την χρήση λογικών μονάδων που είναι δεσμευμένες για αυτό το σκοπό. Το μέγεθος της είναι μικρό, μόλις 368640 bits στο XC3S5003E, αλλά έχει το μεγάλο πλεονέκτημα ότι είναι ταχύτατη. Χρησιμοποιείται κυρίως σε εφαρμογές για προσωρινή αποθήκευση δεδομένων και γρήγορη επανάκτηση τους.

1.3.2. Χρονισμός

Η μονάδα διαθέτει τρεις τρόπους για παροχή σήματος χρονισμού στα ψηφιακά κυκλώματα του FPGA. Ο πρώτος τρόπος είναι με τη χρήση ενός κρυσταλλικού ταλαντωτή 50MHz που συνδέεται στην είσοδο GCLK10 της BANK0. Παράγει τετραγωνικό παλμό σταθερής συχνότητας, πλάτους 3.3V με duty cycle που κυμαίνεται μεταξύ 40% και 60% και επιλέχθηκε να χρησιμοποιηθεί στην εφαρμογή της πτυχιακής (εικόνα 14, IC17). Ο δεύτερος τρόπος είναι επίσης με τη χρήση κρυσταλλικού ταλαντωτή, με την διαφορά ότι παρέχεται μια βάση DIP8 στο αναπτυξιακό ώστε να μπορεί ο χρήστης να επιλέξει τον ταλαντωτή με την επιθυμητή συχνότητα (εικόνα 14, IC16). Στην αγορά υπάρχει μεγάλη ποικιλία κρυσταλλικών ταλαντωτών που καλύπτουν ένα εύρος συχνοτήτων από 20KHz έως 125MHz. Η επιλογή του σωστού κρυσταλλικού ταλαντωτή είναι πολύ σημαντική γιατί μπορεί να έχει σημαντικές επιπτώσεις στο μέγεθος του παραγόμενου ψηφιακού κυκλώματος στο FPGA. Στην εφαρμογή της πτυχιακής παρακάτω θα δούμε ότι σε περίπτωση όπου χρειαζόμαστε διαφορετική συχνότητα από αυτήν του κρυσταλλικού ταλαντωτή μπορούμε με την χρήση ειδικών μονάδων που ονομάζονται Digital Clock Managers (DCM) να την υποβιβάσουμε ή να την αυξήσουμε.



Εικόνα 14 : Πηγές χρονισμού της αναπτυξιακής μονάδας

1.3.3. Platform Flash Prom

Τα FPGA είναι συσκευές που έχουν την ιδιότητα μετά την αφαίρεση της τροφοδοσίας να μην συγκρατούν την εφαρμογή με την οποία προγραμματίστηκαν. Αυτό οφείλεται στο γεγονός ότι δεν έχουν κάποια μη-πτητική μνήμη που να αποθηκεύετε το πρόγραμμα σε

μορφή bits. Λύση στο πρόβλημα αυτό έρχεται να δώσει μια εξωτερική Flash PROM η οποία προγραμματίζεται με το επιθυμητό πρόγραμμα με την χρήση υπολογιστή μέσω JTAG. Έτσι με την εφαρμογή της τροφοδοσίας και με τη χρήση κάποιου μηχανισμού που θα περιγραφεί παρακάτω η PROM προγραμματίζει το FPGA. Η διαδικασία αυτή είναι γνωστή με τον όρο configuration και είναι απαραίτητη στα FPGA έτσι ώστε να χρησιμοποιηθούν σε αυτόνομες εφαρμογές και να μην χρειάζονται την ύπαρξη υπολογιστή για τον επαναπρογραμματισμό τους. Στην διάταξη της εικόνας 15 φαίνεται ο τρόπος σύνδεσης της PROM έτσι ώστε μετά την τροφοδοσία να προγραμματίζει το FPGA. Η συνδεσμολογία είναι Slave – Master. Η μνήμη συμπεριφέρεται σαν slave ενώ το FPGA ως master. Αυτό πρακτικά σημαίνει ότι το FPGA παρέχει σήμα χρονισμού στη μνήμη και η μεταφορά των δεδομένων γίνεται πάντα σύμφωνα με αυτό όπως φαίνεται και στην εικόνα 15 καθώς το CCLK του FPGA συνδέεται με το CLK της PROM.

1.3.3.1. Πρωτόκολλο JTAG

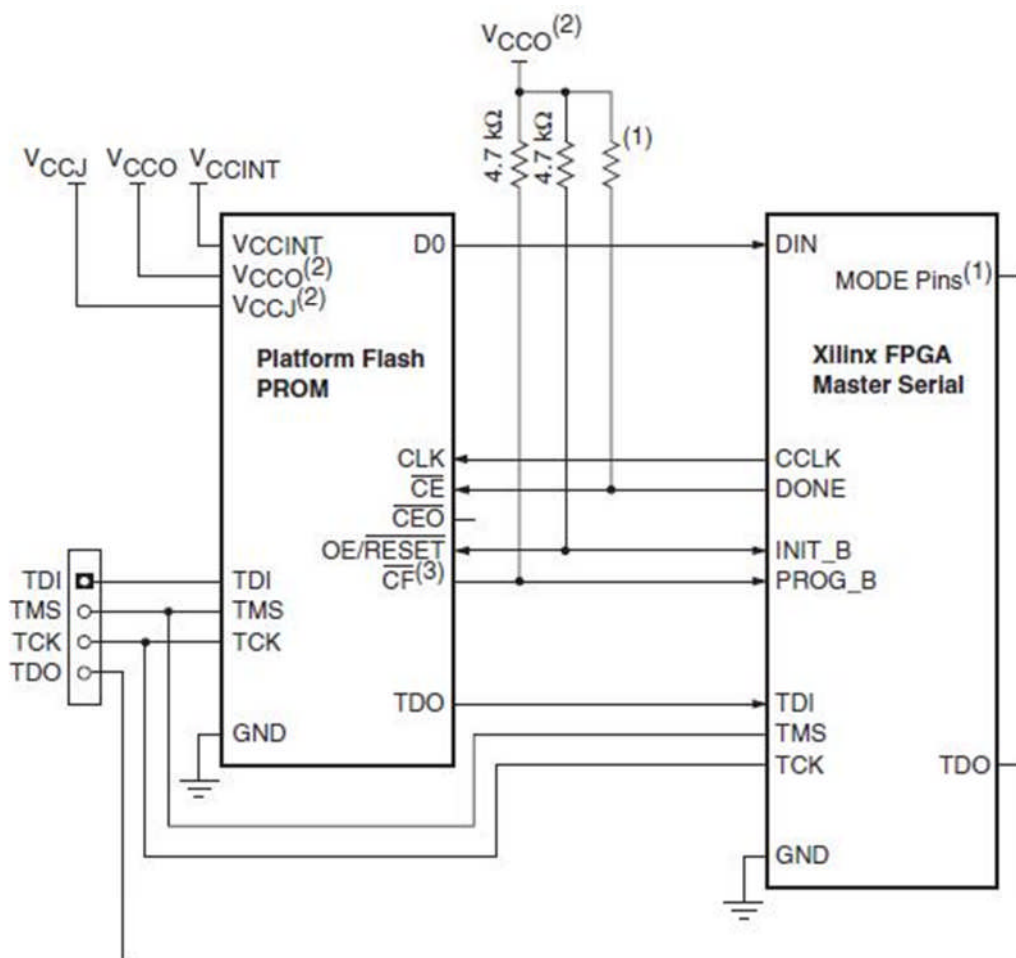
Το JTAG (Join Test Action Group) είναι ένα σειριακό πρωτόκολλο που είχε χρησιμοποιηθεί αρχικά για τον έλεγχο της σωστής λειτουργίας ψηφιακών κυκλωμάτων ενώ χρησιμοποιείται ευρύτατα και για τον προγραμματισμό τους. Τα TCK, TDO, TMS και TDI είναι τα σήματα που χρησιμοποιεί για το σκοπό αυτό. Στην εικόνα 15 βλέπουμε μια PROM και ένα FPGA συνδεδεμένα σε μια αλυσίδα έτσι ώστε να μπορούν να προγραμματιστούν μέσω JTAG. Τα TMS και TCK συνδέονται σε όλες τις συσκευές της αλυσίδας και οι λειτουργίες που επιτελούν είναι η μεταφορά εντολών και ο συγχρονισμός τους με ένα κοινό σήμα χρονισμού αντίστοιχα. Το TDI, που μεταφέρει τα δεδομένα στις συσκευές, συνδέεται μόνο στην πρώτη συσκευή της αλυσίδας. Στη συνέχεια το TDO της πρώτης συσκευής συνδέεται στην είσοδο TDI της δεύτερης. Η έξοδος TDO της τελευταίας συσκευής συνδέεται απευθείας στο connector JTAG όπως το σχήμα 16. Η δυνατότητα της ύπαρξης παραπάνω των μια συσκευών στην αλυσίδα επιτρέπει τη δημιουργία εφαρμογών με παραπάνω από ένα FPGA και μνήμες, όπου αυτό είναι απαραίτητο, και τον έλεγχο και προγραμματισμό τους ξεχωριστά. Κάθε μια συσκευή στην αλυσίδα έχει ένα μοναδικό αριθμό (ID) έτσι ώστε ο υπολογιστής που θα προγραμματίσει να μπορεί να αναγνωρίσει την ύπαρξη της. Συγκεκριμένα στην αναπτυξιακή μονάδα που θα χρησιμοποιηθεί αναγνωρίζονται τρεις συσκευές στην ίδια αλυσίδα. Αυτές είναι η Flash PROM (XCF04S), το

Error! Use the Home tab to apply Επικεφαλίδα 2 to the text that you want to appear here.

Error! Use the Home tab to apply Επικεφαλίδα 1

to the text that you want to appear here.

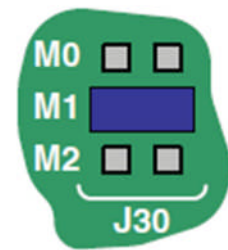
FPGA (XC3S500-3E) και ένα CPLD (XC2C64A). Από τη στιγμή που θα αναγνωριστεί η αλυσίδα, γίνεται η επιλογή από το χρήστη πια συσκευή θα προγραμματιστεί. Εκτός των σημάτων που είναι για τον προγραμματισμό μέσω JTAG με τη χρήση υπολογιστή υπάρχουν και κάποια άλλα σήματα που είναι απαραίτητα για το προγραμματισμό του FPGA από τη PROM. Το D0 της flash συνδέεται στο DIN του FPGA και ο ρόλος του είναι η μεταφορά των προγράμματος σε bits (bit stream). Το PROG_B όταν τεθεί σε λογικό «0» τότε το FPGA μεταφέρεται σε κατάσταση μηδενισμού (reset). Στη πραγματικότητα για το μηδενισμό του FPGA απαιτείται κάποιος πολύ μικρός χρόνος ο οποίος αν δεν ολοκληρωθεί δεν μπορεί να αρχίσει η διαδικασία του προγραμματισμού από τη PROM. Σε αυτό συμβάλει η χρήση του σήματος INIT_B που όταν θέτεται σε λογικό «1» σημαίνει ότι τελείωσε η διαδικασία του μηδενισμού και μπορεί να αρχίσει η διαδικασία του προγραμματισμού. Τέλος το σήμα DONE δηλώνει ότι διαδικασία του προγραμματισμού τελείωσε επιτυχώς και ότι οι έξοδοι του FPGA παύουν να είναι ανενεργές.



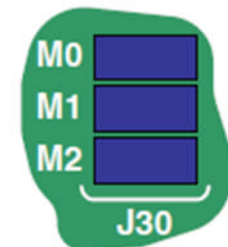
Εικόνα 15 : Διάταξη προγραμματισμού μέσω της PROM

Στην αναπτυξιακή μονάδα SPARTAN-3E KIT χρησιμοποιείται η μνήμη Flash XCF04S της XILINX και είναι 4Mbit. Ο τρόπος σύνδεσης της είναι πανομοιότυπος με αυτόν της εικόνας 15 εκτός από κάποιες μικρές διαφορές. Στο σήμα PROG_B εκτός από την σύνδεση μιας pull-up αντίστασης υπάρχει και ένα push-button το οποίο δίνει τη δυνατότητα στο χρήστη να κάνει reset οποιαδήποτε στιγμή θέλει και να προγραμματίσει το FPGA από τη μνήμη. Αντίθετα στο κύκλωμα του παραπάνω σχήματος κάτι τέτοιο θα συνέβαινε μόνο κατά την εφαρμογή της τροφοδοσίας. Το FPGA έχει τρία ακόμα σήματα τα οποία ονομάζονται mode pins και σκοπός αυτών είναι να καθορίσουν τον τρόπο με τον οποίο θα προγραμματιστεί το FPGA. Για το λόγο αυτό η μονάδα διαθέτει 3 ζεύγη ακίδων από τα οποία μπορεί ο χρήστης να επιλέξει τον τρόπο που επιθυμεί. Τρεις από του ποιο σημαντικούς είναι οι παρακάτω :

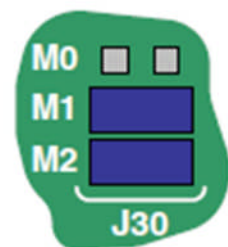
- **JTAG:** Όταν ο βραχυκυκλωτήρας είναι στην μεσαία θέση το FPGA μπορεί να προγραμματιστεί μόνο μέσω JTAG από υπολογιστή. Στην περίπτωση αυτή δεν μπορεί να κάνει configuration από μνήμη και το πάτημα του PROG_B έχει ως αποτέλεσμα μόνο το μηδενισμό του FPGA.



- **Master Serial:** Όταν όλοι οι βραχυκυκλωτήρες είναι συνδεδεμένοι τότε με το πάτημα του button PROG_B το FPGA θα κάνει configuration από τη Flash PROM της Xilinx. Τα δεδομένα μεταφέρονται σειριακά.



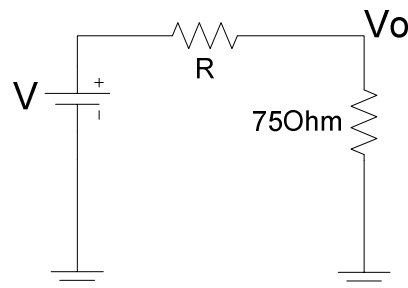
- **SPI:** Όταν έχουμε τους βραχυκυκλωτήρες M1 και M2 συνδεδεμένους όπως το σχήμα τότε με το πάτημα του button PROG_B το FPGA κάνει configuration από μια Flash χρησιμοποιώντας όμως ως τρόπο επικοινωνίας μεταξύ τους το πρωτόκολλο SPI.



Τέλος όπως αναφέραμε το σήμα DONE δηλώνει ότι η διαδικασία του προγραμματισμού έχει τελειώσει επιτυχώς. Στην αναπτυξιακή μονάδα συνδέεται σε ένα LED εστί ώστε να γίνεται εμφανές στο χρήστη το τέλος της διαδικασίας του προγραμματισμού .

1.3.4. Θύρα VGA

Η αναπτυξιακή μονάδα διαθέτει μια θύρα VGA που επιτρέπει την επικοινωνία του FPGA με μια CRT ή TFT οθόνη. Μεταξύ των εξόδων του FPGA και της θύρας παρεμβάλλονται 5 αντιστάσεις. Οι τρεις από αυτές είναι για τα τρία σήματα χρώματος κόκκινο, πράσινο και μπλε ενώ οι άλλες δύο είναι για τα σήματα κάθετου και οριζόντιου συγχρονισμού. Η τάση στα σήματα χρώματος της οθόνης έχει καθοριστεί να κυμαίνεται από 0 έως 0.7V όπου τα 0.7V είναι για μέγιστη φωτεινότητα. Οι έξοδοι του FPGA λαμβάνουν τις τιμές 0 και 3.3V. Συνεπώς οι τιμές των αντιστάσεων (R) θα πρέπει να είναι τέτοιες ώστε, σε συνδυασμό με την εσωτερική αντίσταση της οθόνης σε κάθε ένα από τα σήματα χρώματος, η τάση να κυμαίνεται στα επιθυμητά επίπεδα.



Εικόνα 16 : Προσαρμογή μεταξύ FGPA και οθόνης

Η συνδεσμολογία θα μπορούσε να παρασταθεί με ένα διαίρετη τάσης όπου η πηγή είναι η τάση εξόδου του FPGA και η μέγιστη τιμή της είναι 3.3V, την εξωτερική αντίσταση R, και την εσωτερική αντίσταση της οθόνης που η τιμή της είναι 750hm και η τάση στα άκρα της θα πρέπει να κυμαίνεται μεταξύ 0 και 0.7V. Για τον υπολογισμό της R θα χρησιμοποιήσουμε τη σχέση:

$$R = \frac{75 \times (3.3 - 0.7)}{0.7 - 0}$$

Με πράξεις βρίσκουμε ότι $R = 246.40\Omega$ και η πιο κοντινή τιμή της στο εμπόριο είναι η 270Ω . Ανάλογα με τη λογική κατάσταση κάθε εξόδου, τα σήματα του χρώματος έχουν τη δυνατότητα να πάρουν δύο τιμές. Αυτές είναι η τιμή 0V που έχει αποτέλεσμα την απουσία φωτεινότητας του αντιστοίχου χρώματος και τη τιμή 0.7V που είναι πλήρη

Error! Use the Home tab to apply Επικεφαλίδα 2 to the text that you want to appear here.

Error! Use the Home tab to apply Επικεφαλίδα 1

to the text that you want to appear here.

φωτεινότητα. Με τη θύρα της αναπτυξιακής μονάδας υπάρχει η δυνατότητα απεικόνισης μόνο 8 χρωμάτων που είναι αποτέλεσμα συνδυασμών των τριών βασικών.

Στον πίνακα 3 φαίνονται τα τρία βασικά χρώματα καθώς και τα αποτελέσματα των συνδυασμών τους. Το γεγονός ότι χρησιμοποιούνται μόνο τρεις έξοδοι του FPGA περιορίζει πολύ τις δυνατότητες της συγκεκριμένης θύρας και έχει ως αποτέλεσμα την δημιουργία πολύ περιορισμένου αριθμού χρωμάτων. Μια γενική σχέση που δίνει τον αριθμό των χρωματικών συνδυασμών σε σχέση με τις εξόδους του FPGA είναι η εξής:

όπου n είναι ο αριθμός των εξόδων του FPGA που φέρουν την χρωματική πληροφορία.

Πίνακας 3 : Οι πιθανοί χρωματικοί συνδυασμοί

VGA_RED	VGA_GREEN	VGA_BLUE	Resulting Color
0	0	0	Black
0	0	1	Blue
0	1	0	Green
0	1	1	Cyan
1	0	0	Red
1	0	1	Magenta
1	1	0	Yellow
1	1	1	White

Μέχρι στιγμής είδαμε ότι οι τάσεις που μπορούν να πάρουν τα τρία σήματα που φέρουν τη χρωματική πληροφορία είναι δυο. Αυτό όμως ισχύει μόνο στην συγκεκριμένη αναπτυξιακή μονάδα. Εξάλλου όπως αναφέρθηκε σε προηγούμενη παράγραφο η επικοινωνία μέσω VGA είναι αναλογική πράγμα που σημαίνει ότι η τάσεις δεν παίρνουν μόνο διακριτές τιμές. Αντίθετα μπορούν να πάρουν οποιαδήποτε τιμή μεταξύ του ορίου 0 και 0.7V δημιουργώντας πολλά επίπεδα φωτεινότητας σε κάθε χρώμα και δίνοντας τη δυνατότητα για δημιουργία πολλών χρωματικών συνδυασμών. Αυτό για να επιτευχθεί απαιτούνται παραπάνω έξοδοι από το FPGA και κατάλληλο κύκλωμα προσαρμογής μεταξύ FPGA και οθόνης. Στις περισσότερες οθόνες σήμερα χρησιμοποιείται χρωματική πληροφορία 24-bit που έχει αποτέλεσμα τη δημιουργία 16777216 χρωματικών

Error! Use the Home tab to apply Επικεφαλίδα 2 to the text that you want to appear here.

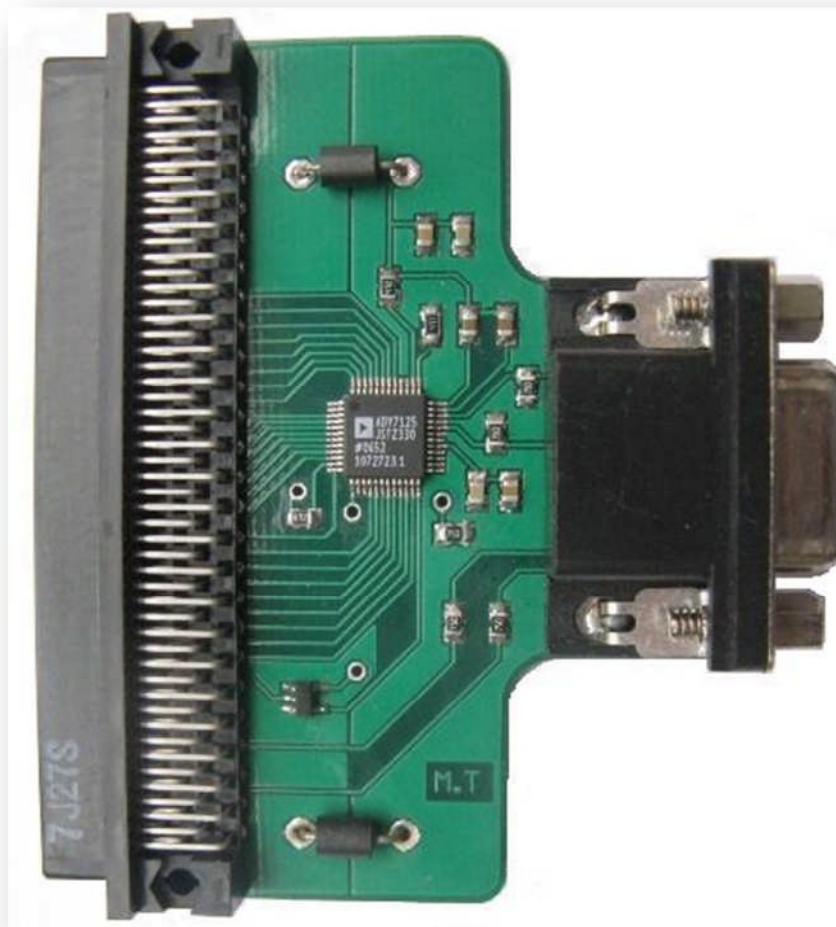
Error! Use the Home tab to apply Επικεφαλίδα 1

to the text that you want to appear here.

συνδυασμών. Αν και η κύρια εφαρμογή της πτυχιακής απαιτεί 3-bit χρωματική πληροφορία θα γίνει και μια παρουσίαση 24-bit εικόνας με τη χρήση διαφορετικού κυκλώματος που συνδέεται στη μονάδα μέσω των θυρών επέκτασης. Αυτό το κύκλωμα θα περιγραφεί στις επόμενες παραγράφους.

1.3.5. Θύρες επέκτασης

Η μονάδα έχει αρκετές θύρες επέκτασης που της δίνουν τη δυνατότητα να συνδεθεί με εξωτερικά κυκλώματα με αποτέλεσμα να αυξάνεται το εύρος των εφαρμογών της και να προσαρμόζεται στις ανάγκες του χρήστη. Μια από αυτές τις θύρες που θα χρησιμοποιηθεί είναι η HIROSE 100-pin FX2. Αυτή δίνει στο χρήστη τη δυνατότητα να έχει διαθέσιμα 43 I/O pins εκ των οποίων τα 5 μπορούν να χρησιμοποιηθούν μόνο σαν είσοδοι και 3 δεσμεύονται κυρίως για είσοδο και έξοδο σημάτων χρονισμού.



Εικόνα 17 : Επέκταση VGA

Παρέχονται ακόμα δύο επιλογές στην τροφοδοσία, με το χρήστη να έχει στη διάθεση του μια πηγή τάσης 5V και μια 3.3V. Όλα τα I/Os είναι συνδεδεμένα στη BANK0. Ανάλογα με τα περιφερειακά και τις ανάγκες του χρήστη υπάρχει η δυνατότητα για επιλογή των ορίων στα οποία θα κυμαίνεται η τάση των I/Os της BANK0 και η επιλογή αυτή καθορίζεται από τη θέση του βραχυκυκλωτήρα στη J9. Τα όρια που μπορούμε να επιλέξουμε είναι τα 2.5V και 3.3V.

1.3.6. Επέκταση VGA

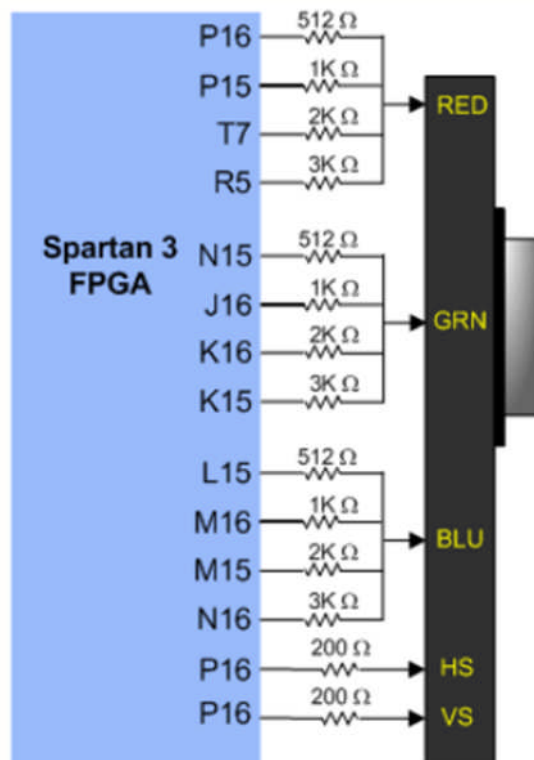
Για τις ανάγκες της πτυχιακής σχεδιάστηκε και κατασκευάστηκε ένα κύκλωμα το οποίο θα συνδέεται μέσω της θύρας HIROSE FX2 στην αναπτυξιακή μονάδα. Σκοπός του είναι να επιτρέπει στον χρήστη να απεικονίσει σε μια οθόνη εικόνες 24-bit χρωματικής πληροφορίας μέσω της αναλογικής θύρας VGA. Αυτό απαιτεί τη δημιουργία εξωτερικού κυκλώματος γιατί θα πρέπει να είναι 24 και οι ψηφιακοί έξοδοι του FPGA που φέρουν τη χρωματική πληροφορία δυνατότητα που δεν τη δίνει η υπάρχουσα θύρα VGA στη μονάδα. Στην εικόνα 17 φαίνεται το κύκλωμα που κατασκευάστηκε. Μπορεί να χωριστεί σε τρία βασικά τμήματα. Αυτά είναι η θύρα FX2 στα αριστερά, το κυρίως κύκλωμα που βασίζεται σε ένα D/A μετατροπέα στο κέντρο και η θύρα VGA στα δεξιά.

1.3.6.1. D/A Μετατροπέας

Οι 24 ψηφιακοί έξοδοι του FPGA που φέρουν την χρωματική πληροφορία θα πρέπει με κάποιο τρόπο να μετατραπούν σε αναλογικό σήμα έτσι ώστε μέσω της θύρας VGA να μεταφερθεί στην οθόνη. Ένας τρόπος για να επιτευχθεί αυτό είναι με τη χρήση αντιστάσεων διαφορετικής τιμής που το ένα άκρο τους συνδέεται στις εξόδους του FPGA και το άλλο στη θύρα VGA στο αντίστοιχο χρώμα. Στην εικόνα 18 φαίνεται η παραπάνω συνδεσμολογία. Σε κάθε χρώμα θα μπορούσαμε να πούμε ότι αντιστοιχούν 4 διαιρέτες τάσης που σχηματίζουν έναν D/A μετατροπέα πάντα λαμβάνοντας υπόψη και την εσωτερική αντίσταση της οθόνης που είναι 75ohm για κάθε χρώμα. Ανάλογα με τον συνδυασμό της ψηφιακής εισόδου δημιουργούνται και οι αντίστοιχες αναλογικές τάσεις για τα τρία χρώματα. Η λύση αυτή είναι η πιο απλή και η πιο οικονομική. Στην πραγματικότητα όμως όταν είναι να υλοποιηθεί μετατροπή 24-bit πληροφορίας τότε αυτή η λύση δεν είναι αξιόπιστη. Ο λόγος είναι ότι οι αντιστάσεις πρέπει να είναι ίδιες και για

τα τρία χρώματα και κάθε απόκλιση στην τιμή μιας αντίστασης μπορεί να προκαλέσει διαφοροποίηση στην φωτεινότητα και ασυμμετρία στην ένταση των χρωμάτων.

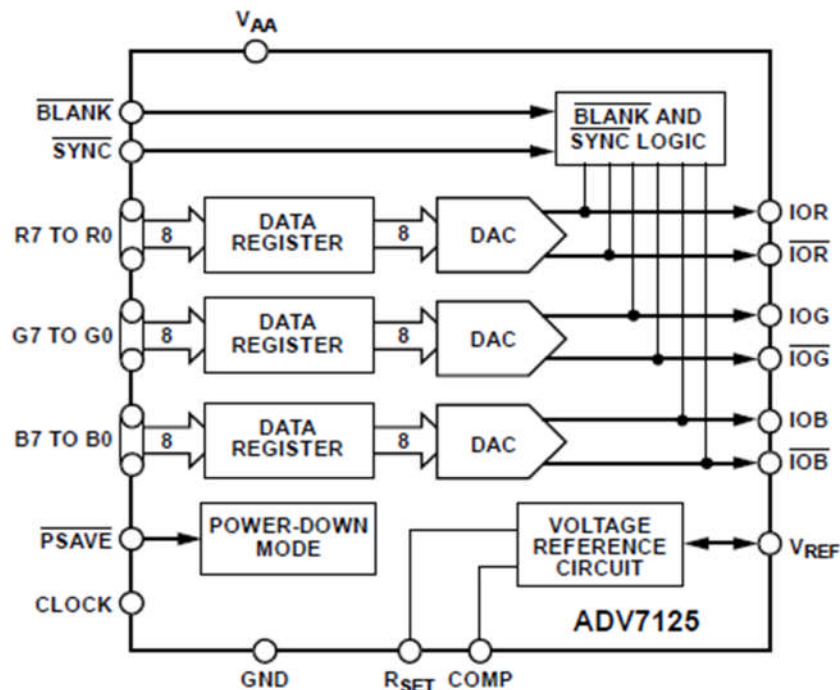
Για την αντιμετώπιση αυτών των προβλημάτων υπάρχουν στην αγορά ειδικά ολοκληρωμένα που αναλαμβάνουν τη μετατροπή του ψηφιακού σήματος σε αναλογικό και ονομάζονται D/A μετατροπείς. Στην εφαρμογή επιλέχθηκε να χρησιμοποιηθεί το ADV7125 της ANALOG DEVICES. Περιλαμβάνει εσωτερικά τρεις D/A μετατροπείς ένα για κάθε χρώμα ξεχωριστά και ο κάθε ένας από αυτούς είναι 8-bit. Λόγο της κατασκευής τους πάνω στο ίδιο στρώμα πυριτίου, οι D/A μετατροπείς είναι όμοιοι μεταξύ τους και έτσι εξαλείφεται το πρόβλημα της διαφοράς φωτεινότητας που είχαμε στο προηγούμενο κύκλωμα λόγω των ανοχών των αντιστάσεων.



Εικόνα 18 : D/A Μετατροπή 12-bit

Ο συγκεκριμένος μετατροπέας είναι σχεδιασμένος για εφαρμογές εικόνας καθώς έχει την δυνατότητα να λειτουργεί σε υψηλές ταχύτητες που φτάνουν και τα 330MHz. Στην εικόνα 19 φαίνεται το μπλοκ διάγραμμα του μετατροπέα καθώς και οι είσοδοι και έξοδοι του οι οποίες θα περιγραφούν αναλυτικά παρακάτω.

- **Τροφοδοσία (VAA) :** Η σωστή τροφοδοσία είναι πολύ σημαντική όχι μόνο για τη λειτουργία του ολοκληρωμένου αλλά και για τη βέλτιστη απόδοση του. Το ADV7125 μπορεί να λειτουργήσει με 3.3V ή 5V, τάσεις που και οι δύο παρέχονται από την θύρα FX2. Αποφασίστηκε τελικά να λειτουργήσει με 3.3V, τάση με την οποία τροφοδοτείται και η BANK0 στην οποία ανήκουν οι έξοδοι του FPGA που μεταφέρουν τη χρωματική πληροφορία. Ακόμα θα πρέπει ο θόρυβος στους αγωγούς της τροφοδοσίας να κυμαίνεται σε όσο το δυνατόν χαμηλότερα επίπεδα. Για επιτευχθεί αυτό θα πρέπει να χρησιμοποιηθούν κεραμικοί πυκνωτές από την τροφοδοσία στην γείωση. Οι προτεινόμενες τιμές είναι 0.1μf και 10nF. Η χρήση τους για να γίνει ακόμα πιο αποτελεσματική θα πρέπει να τοποθετηθούν σε κάθε ένα από τους αγωγούς τροφοδοσίας και όσο πιο κοντά στο ολοκληρωμένο. Ένας άλλος τρόπος για τη μείωση του θορύβου μπορεί να επιτευχθεί με τον κατάλληλο τρόπο οργάνωσης των αγωγών στο τυπωμένο κύκλωμα από τους οποίους θα τροφοδοτείται το ADV7125. Σύμφωνα με το εγχειρίδιο χρήσης του ολοκληρωμένου θα πρέπει να υπάρχουν δυο διαφορετικά planes τροφοδοσίας. Το πρώτο είναι η τάση τροφοδοσίας 3.3V η οποία είναι σε «λογική συνέχεια» με την τροφοδοσία του FPGA.



Εικόνα 19 : Block διάγραμμα του ADV7125

Error! Use the Home tab to apply Επισκεφαλίδα 2 to the text that you want to appear here.

Error! Use the Home tab to apply Επισκεφαλίδα 1

to the text that you want to appear here.

Θα μπορούσε να ονομαστεί και ψηφιακή τροφοδοσία (Digital Plane). Το δεύτερο plane συνδέεται με το πρώτο μέσω ενός φερίτη και σε αυτό συνδέονται όλα τα pin τροφοδοσίας του ADV7125. Αυτό θα μπορούσε να ονομαστεί αναλογική τροφοδοσία. Ο φερίτης έχει την ιδιότητα να αφήνει να περάσει η συνεχής τάση DC και να μπλοκάρει αμφίδρομα της ανεπιθύμητες συχνότητες που επικάθονται πάνω σε αυτήν.

- **Γείωση (GND)** : Το ADV7125 είναι σχεδιασμένο ώστε να απορρίπτει τον εξωτερικό θόρυβο που προέρχεται από το περιβάλλον αλλά η δυνατότητα του αυτή δεν είναι ίδια για όλο το φάσμα συχνοτήτων θορύβου. Όσο μεγαλύτερη είναι η συχνότητα του θορύβου τόσο πιο δύσκολη είναι και η απόρριψη της και επηρεάζει το αναλογικό σήμα εικόνας. Για το λόγο αυτό είναι πολύ σημαντικό να σχεδιαστεί το τυπωμένο κύκλωμα όσο το δυνατό καλύτερα και να τηρηθούν κάποιες βασικές αρχές κατά τη σχεδίαση. Αυτές είναι οι εξής: Θα πρέπει όπως και για την τροφοδοσία έτσι και εδώ για τη γείωση να υπάρχουν δυο planes. Ένα για την αναλογική γείωση και ένα για την ψηφιακή. Η ψηφιακή συνδέεται με τη γείωση του αναπτυξιακού ενώ η αναλογική συνδέεται μέσω ενός φερίτη με την ψηφιακή.



TDS 2024B - 5:40:32 μμ 11/4/2009

Εικόνα 20 : Επίδραση του φερίτη στη μείωση του θορύβου

Στην εικόνα 20 φαίνονται ξεκάθαρα τα αποτελέσματα και τα πλεονεκτήματα που παρουσιάζει αυτή η τεχνική διαχωρισμού της γείωσης. Με πορτοκαλί χρώμα είναι η

ψηφιακή γείωση και μπλε η αναλογική. Παρατηρούμε ότι ο θόρυβος που δημιουργείται στην αναλογική γείωση δε μεταφέρεται στην ψηφιακή. Η απουσία του φερίτη θα είχε ως αποτέλεσμα να περάσει όλος αυτός ο θόρυβος στην ψηφιακή γείωση και να αλλοιώνει την κατάσταση του λογικού «0». Η ψηφιακή γείωση θα πρέπει να περικλείει τα ψηφιακά σήματα εισόδου ώστε να μην επικάθεται σε αυτά θόρυβος.

➤ Ψηφιακές εισοδοι (24-bit Χρωματική πληροφορία)

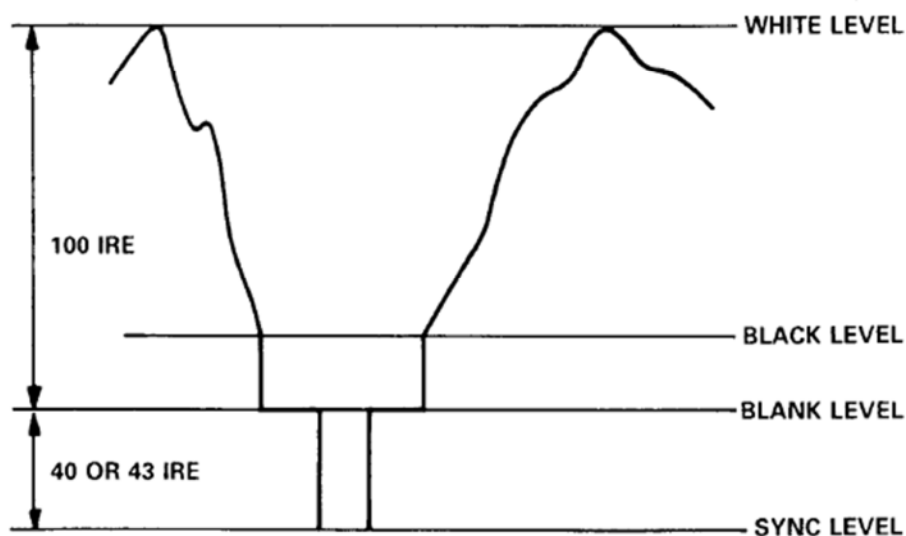
Η χρωματική πληροφορία μεταφέρεται από τις 24 εξόδους του FPGA στις 24 εισόδους του ADV7125. Από αυτές οι 8 είναι για το κόκκινο, 8 για το πράσινο και 8 για το μπλε και στην εικόνα 19 φαίνονται σαν σήματα R7-R0, G7-G0 και B7-B0. Λόγο των υψηλών συχνοτήτων, τα μήκη των γραμμών αυτών επάνω στο τυπωμένο κύκλωμα πρέπει να διατηρηθούν όσο πιο κοντά γίνεται και να περιβάλλονται από την ψηφιακή γείωση ώστε να μην αποκτάνε θόρυβο.

➤ Αναλογικές έξοδοι

Το ADV7125 έχει τρεις αναλογικές εξόδους κάθε μια από αυτές αντιστοιχεί και σε ένα από τα τρία βασικά χρώματα. Οι έξοδοι αυτοί αποτελούν το τελευταίο στάδιο πριν την οθόνη και μεταφέρουν την αναλογική χρωματική πληροφορία μέσω ενός καλωδίου συγκεκριμένων προδιαγραφών. Οι έξοδοι αυτές είναι πηγές ρεύματος υψηλής αντίστασης εξόδου. Ακολουθούν την αρχή λειτουργίας των πομπών ρεύματος γιατί η μεταφερόμενη πληροφορία υπό μορφή ρεύματος επηρεάζεται πολύ πιο δύσκολα από το θόρυβο. Για να μελετηθεί το κύκλωμα μεταφοράς την αναλογικής πληροφορίας πρέπει πρώτα να δούμε ποια είναι τα επίπεδα των τάσεων έτσι όπως έχουν ορισθεί και την αντίστοιχη συνδεσμολογία.

Μια τυπική κυματομορφή χρώματος είναι όπως φαίνεται στην εικόνα 21. Διακρίνουμε 4 βασικά επίπεδα τάσεων. Στην πραγματικότητα είναι πιο δόκιμος ο όρος επίπεδα ρευμάτων αλλά θα αναφερόμαστε σε τάσεις γιατί αυτές που μας ενδιαφέρουν επάνω στα σήματα της οθόνης. Αυτά είναι τα εξής: Το επίπεδο Blank level το οποίο είναι όταν η οθόνη είναι εκτός λειτουργίας. Στο επίπεδο αυτό οι τάσεις των χρωμάτων είναι μηδέν. Το

επόμενο επίπεδο είναι το Black level κατά το οποίο οι τάσεις των χρωμάτων είναι λίγο πάνω από το μηδέν ενώ οι ψηφιακές εισοδοι είναι μηδέν. Το επίπεδο White level είναι όταν η αναλογική τάση των χρωμάτων έχει την μέγιστη τιμή της και αυτή συνήθως είναι 0.714V και όλοι ψηφιακοί εισοδοι είναι σε λογικό «1». Το επίπεδο sync δε θα χρησιμοποιηθεί στην εφαρμογή της πτυχιακής απλά αναφέρεται ότι πολλές φορές για την μεταφορά της χρωματικής πληροφορίας δεν είναι απαραίτητα τα 2 σήματα συγχρονισμού (HSYNC, VSYNC). Υπάρχει η δυνατότητα η πληροφορία για τον συγχρονισμό της εικόνας να ενσωματωθεί στο πράσινο. Στην περίπτωση αυτή λέμε ότι έχουμε Sync-on-green. Στην αριστερή πλευρά της εικόνας 21 βλέπουμε τον όρο IRE. Το IRE είναι μονάδα μέτρησης σύνθετων σημάτων εικόνας και τα αρχικά προέρχονται από το Institute of Radio Engineers. Μια τιμή όπως 100 IRE ορίζει το εύρος από το black level μέχρι το white level που είναι το σημείο μέγιστης φωτεινότητας. Αυτό φαίνεται και στη εικόνα 21.



Εικόνα 21 : Μια κυματομορφή χρώματος

Υπάρχουν 4 βασικά Video Formats που προσδιορίζουν τα ακριβοί επίπεδα τάσεων, τις συνδεσμολογίες και τα ρεύματα. Αυτά παρουσιάζονται στον παρακάτω πίνακα. Το NTSC χρησιμοποιείται στην Αμερική σε αντίθεση με το PAL και το SECAM που χρησιμοποιούνται κυρίως στην Ευρώπη. Γενικότερα όμως τα πιο διαδεδομένα είναι τα RS-343A και RS-170. Η πτυχιακή και η σχεδίαση της επέκτασης VGA βασίστηκε στο RS-343A. Όπως φαίνεται στον πίνακα για το RS-343A η μέγιστη φωτεινότητα ισοδυναμεί με τάση 0.714V ενώ το black

Error! Use the Home tab to apply Επικεφαλίδα 2 to the text that you want to appear here.

Error! Use the Home tab to apply Επικεφαλίδα 1

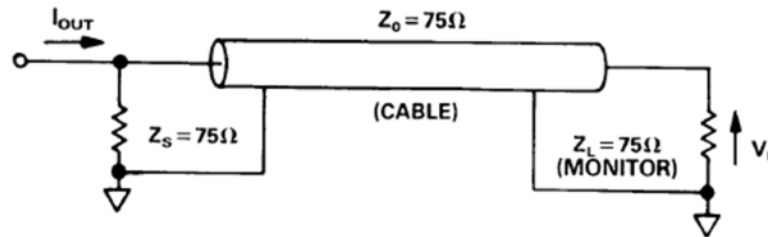
to the text that you want to appear here.

level με 54mV. Στις τελευταίες δυο στήλες φαίνονται οι αντιστοιχίες των τάσεων σε ρεύμα ανάλογα με την συνδεσμολογία που χρησιμοποιείται. Για μέγιστη φωτεινότητα το ρεύμα εξόδου κάθε χρώματος πρέπει να είναι 19.04mA και η συνδεσμολογία που θα χρησιμοποιηθεί είναι αυτή της εικόνας 22. Το καλώδιο που μεταφέρει την αναλογική χρωματική πληροφορία έχει σύνθετη αντίσταση 75Ωm και είναι θωρακισμένο για την προστασία του σήματος από το θόρυβο. Η αντίσταση Z_L είναι η εσωτερική αντίσταση της οθόνης και υπάρχει σε κάθε ένα από τα τρία χρώματα.

Πίνακας 4 : Video formats

	Video Output Levels	IRE Units	Volts	Singly Terminated Line mA (typ), 75Ω Monitor	Doubly Terminated Line mA (typ), 75Ω Monitor
NTSC RS-343A	Blank to White	100	0.714 ±0.1	9.52	19.04
	Blank to Black	7.5 ±5	0.054 (typ)	0.714	1.43
	Blank Level		0	0	0
	Blank to Sync	40 (typ)	-0.286 ±0.05	-3.81	-7.62
NTSC RS-170	Blank to White	100	1.0 ±0.05	13.33	26.67
	Blank to Black	7.5 ±2.5	0.075 (typ)	1	2
	Blank Level		0	0	0
	Blank to Sync	40 ±5	-0.4 (typ)	-5.33	-10.67
PAL	Blank to White	100	0.714 (typ)	9.52	19.04
	Blank to Black	0	0	0	0
	Blank Level		0	0	0
	Blank to Sync	43 (typ)	-0.307 (typ)	-4.09	-8.19
SECAM	Blank to White	100	0.714 (typ)	9.52	19.04
	Blank to Black	0 to 7	0 to 0.049	0	0
	Blank Level		0	0	0
	Blank to Sync	43 (typ)	-0.307 (typ)	-4.09	-8.19

Η τιμή της είναι 75Ωm και η τάση V_L στα άκρα της πρέπει να βρίσκεται στα όρια που ορίζει ο παραπάνω πίνακας. Η αντίσταση Z_S είναι τερματική και η επιλογή της τιμής της είναι αυτή που καθορίζει το Video Format που θα χρησιμοποιηθεί και τα συνέπεια τα όρια των τιμών του I_{out} . Σύμφωνα με τα παραπάνω η τάση V_L δίνεται από την παρακάτω σχέση



Εικόνα 22 : Συνδεσμολογία Doubly terminated line

➤ Συγχρονισμός του σήματος και έλεγχος

Το ADV7125 έχει μια είσοδο CLOCK η οποία ταυτίζεται με τη συχνότητα σάρωσης γραμμής της οθόνης (PIXEL CLOCK). Η χρήση της είναι για το συγχρονισμό όλων των εισόδων και των εξόδων της συσκευής με το θετικό μέτωπο κάθε παλμού χρονισμού. Λόγω των υψηλών τιμών που παίρνει συνιστάται από την κατασκευάστρια εταιρεία να χρησιμοποιείται ένας buffer μεταξύ FPGA και του ADV7125.

1.3.6.2. Περιγραφή σχηματικού

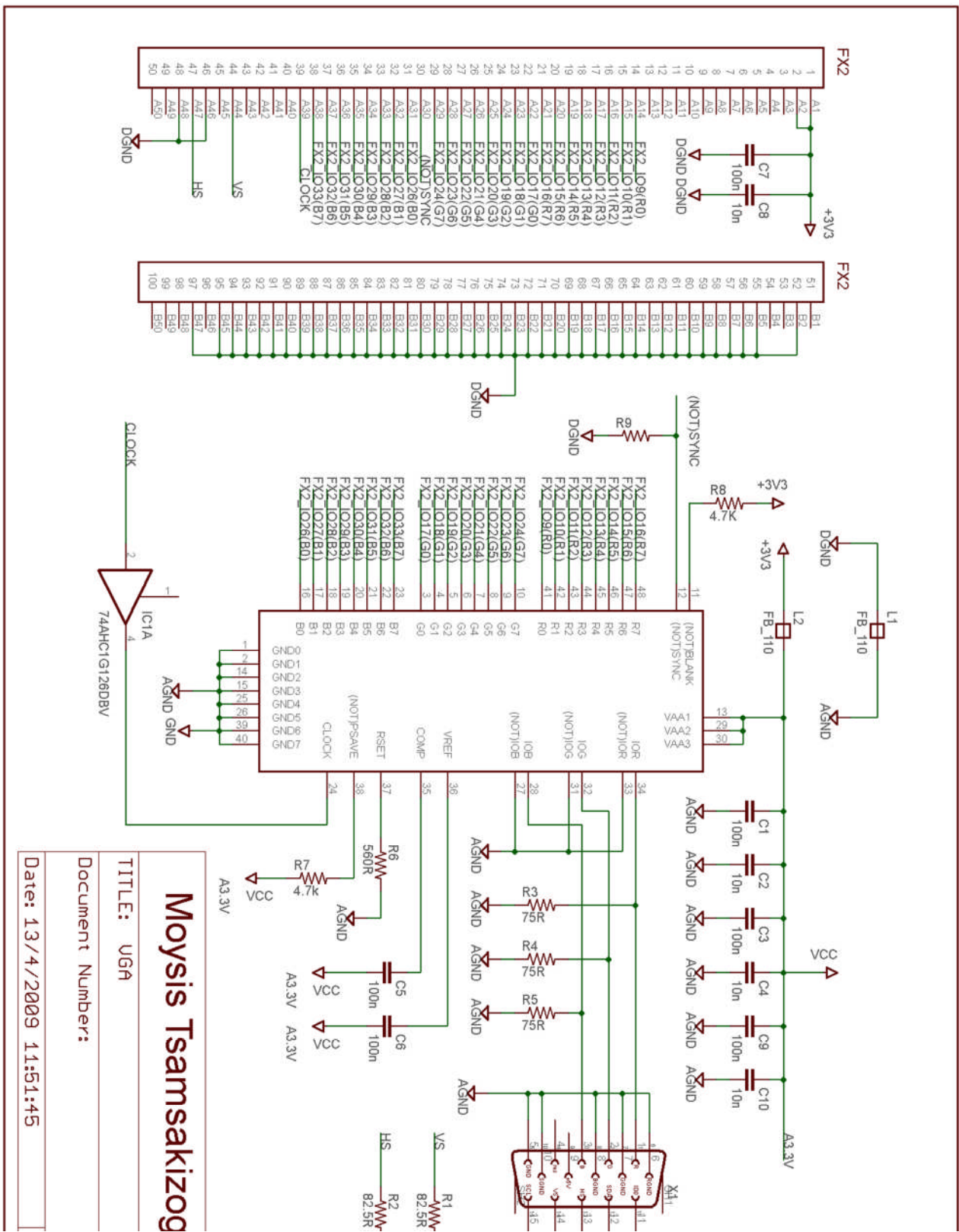
Στο σχηματικό της παρακάτω εικόνας βλέπουμε το ηλεκτρονικό σχέδιο του κυκλώματος που σχεδιάστηκε για την επέκταση της αναπτυξιακής μονάδος και την απεικόνιση 24bit χρωματικής πληροφορίας. Βασικό κομμάτι του κυκλώματος είναι ο connector FX2 που αποτελεί τον δίαυλο επικοινωνίας μεταξύ της κατασκευής και της μονάδας. Οι πρώτες δύο ακίδες του connector είναι για την τροφοδοσία των 3.3V. Συνδέονται σε αυτήν 2 πυκνωτές με τιμές 100 και 10 nF για την μείωση του θορύβου και την ύπαρξη μιας πιο καθαρής συνεχής τάσης τροφοδοσίας. Στις ακίδες 14 έως 21, 22 έως 29 και 31 έως 38 συνδέονται οι εισοδοί του D/A μετατροπέα για το κόκκινο το πράσινο και το μπλε αντίστοιχα. Στις ακίδες 44 και 47 τα σήματα κάθετου και οριζόντιου συγχρονισμού συνδέονται μέσω αντιστάσεων 82.5 Ohm στην θύρα VGA. Η ακίδα 39 τροφοδοτεί με σήμα χρονισμού ένα buffer και αυτό με τη σειρά του την είσοδο CLOCK του μετατροπέα. Η χρήση του buffer είναι πολύ σημαντική καθώς η συχνότητα των σημάτων χρονισμού είναι της τάξεως κάποιων δεκάδων και καμιά φορά εκατοντάδων MHz. Η απουσία του buffer μπορεί να προκαλέσει αλλοίωση του σήματος χρονισμού και κατά συνέπεια κακό συγχρονισμό των εισόδων και των εξόδων του μετατροπέα. Αυτό γίνεται πιο αισθητό όσο μεγαλύτερη είναι η απόσταση του FX2 από το μετατροπέα. Τα χαρακτηριστικά του buffer πρέπει να είναι τέτοια που να

Error! Use the Home tab to apply Επικεφαλίδα 2 to the text that you want to appear here.

Error! Use the Home tab to apply Επικεφαλίδα 1

to the text that you want to appear here.

του επιτρέπουν να λειτουργεί σε υψηλές συχνότητες και για αυτό το λόγο επιλέχθηκε το 74AHC1G126DBV. Στην άλλη πλευρά βλέπουμε τις εξόδους του μετατροπέα και τις τερματικές αντιστάσεις R3, R4 και R5 οι οποίες είναι 75Ωm. Οι εξόδοι αυτές έχουν και συμπληρωματικές οι οποίες γειώνονται. Οι φερίτες L1 και L2 είναι για τον διαχωρισμό των δύο planes όπως έχει αναφερθεί σε προηγούμενη παράγραφο. Η μία πλευρά τους συνδέεται στην ψηφιακή τροφοδοσία και γείωση και η άλλη στην αναλογική. Ακόμα βλέπουμε στο σχηματικό τρία ζεύγη πυκνωτών με τιμές 100 και 10 nF τα οποία συνδέονται



στην αναλογική τροφοδοσία και μειώνουν τα επίπεδα θορύβου. Ο μετατροπέας έχει και άλλες εισόδους όπως την VREF και τη COMP. Η VREF είναι μια εσωτερική πηγή τάσης και σκοπός της είναι να καθορίζει το πλάτος του ρεύματος στις τρεις αναλογικές εξόδους του μετατροπέα έτσι ώστε να μπορεί να επιτευχθεί το κατάλληλο video format στην μεταφορά της χρωματικής πληροφορίας. Για τη δυνατότητα αυτή θα πρέπει να συνδεθεί μια αντίσταση από την είσοδο αυτή στην γείωση. Η τιμή της αντίστασης υπολογίζεται από τη σχέση :

$$= \frac{7989.6 \times}{, ()} \quad (1)$$

όπου IOR , IOB είναι τα ρεύματα των χρωμάτων του κόκκινου και του μπλε και RSET είναι η τιμή της αντίστασης που θα συνδεθεί. Σε περίπτωση όπου η είσοδος SYNC είναι σε λογικό «1» η πληροφορία συγχρονισμού ενσωματώνεται στο πράσινο και τότε το ρεύμα μόνο για το πράσινο δίνεται από τη σχέση :

$$() = \frac{11444.8 \times}{\quad} \quad (2)$$

Λόγο του ότι δεν θα χρησιμοποιηθεί το σήμα του πράσινου για μεταφορά σημάτων χρονισμού έχει συνδεθεί το sync σε μια pull down αντίσταση. Στην περίπτωση αυτή όλα τα ρεύματα των χρωμάτων δίνονται από την σχέση (1).

2. Εφαρμογή - Ελεγκτής VGA

Στην παράγραφο αυτή θα εφαρμοστούν στην πράξη όλα όσα αναφέρθηκαν σε προηγούμενες παραγράφους για τους τρόπους ελέγχου μιας οθόνης μέσω VGA. Θα σχεδιαστεί κύκλωμα το οποίο θα παράγει τα σήματα συγχρονισμού που απαιτούνται για τη σωστή λειτουργία της οθόνης και θα μπορεί να λαμβάνει τη χρωματική πληροφορία που θα απεικονίσει από μια εξωτερική πηγή. Η συγκεκριμένη εφαρμογή σχεδιάστηκε με την περιγραφική γλώσσα προγραμματισμού VHDL η οποία είναι μια γλώσσα που δίνει τη δυνατότητα στο σχεδιαστή να αποφύγει τη σχεδίαση με τη χρήση σχηματικού και να διευκολύνει τη διαδικασία σύνθεσης πολύπλοκων συνδυαστικών κυκλωμάτων. Η VHDL διαφέρει στη λογική της από άλλες γλώσσες προγραμματισμού. Η βασικότερη διαφορά είναι ότι με τη VHDL έχουμε τη δυνατότητα να δημιουργούμε κυκλώματα (Hardware) και να τα διαχωρίζουμε σε βασικές μονάδες (Blocks). Αυτές οι μονάδες μπορούν να λειτουργούν μεταξύ τους ταυτόχρονα κάτω από το ίδιο σήμα χρονισμού ενώ εσωτερικά να εκτελούν ακολουθιακά διάφορες λειτουργίες η κάθε μια. Αυτό έχει ως αποτέλεσμα την ταχύτητα στην εκτέλεση της εφαρμογής. Αυτή η λογική είναι πολύ διαφορετική από αυτή των μικροελεγκτών όπου το πρόγραμμα εκτελείται μόνο ακολουθιακά. Για το λόγο αυτό και η παρουσίαση της εφαρμογής θα γίνει με μπλοκ διαγράμματα όπως την εικόνα 23 όπου βλέπουμε τον ελεγκτή VGA και όλες τις μονάδες από τις οποίες αποτελείται.

2.1. Γενική περιγραφή

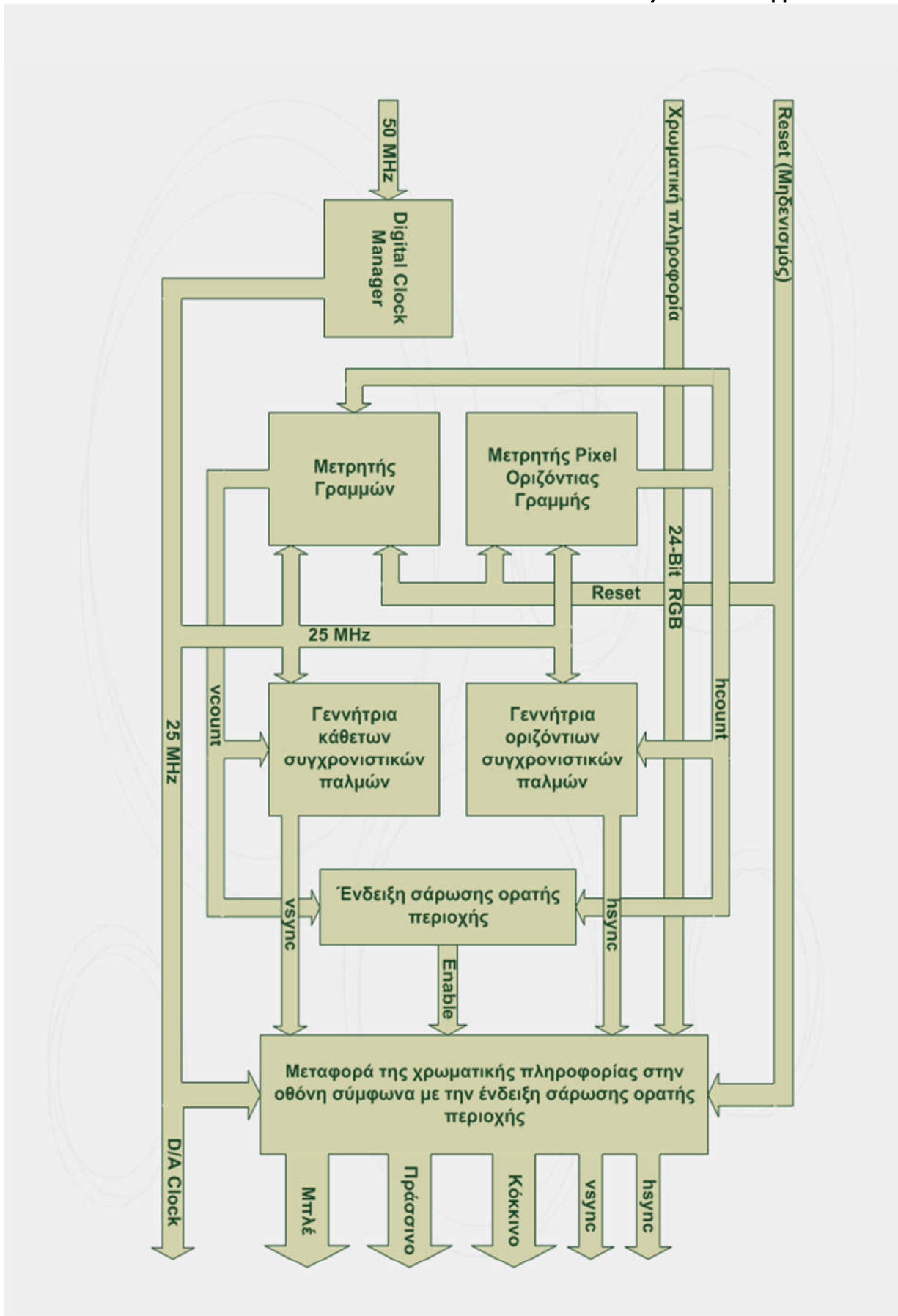
Στο μπλοκ διάγραμμα της εικόνας 23 βλέπουμε τις βασικές μονάδες (Blocks) από τις οποίες αποτελείται ο ελεγκτής VGA (VGA Controller). Διακρίνουμε τρεις εισόδους οι οποίες είναι οι εξής:

- **Reset** : Η είσοδος reset αποτελεί το σήμα μηδενισμού του κυκλώματος και κάθε φορά που λαμβάνει την τιμή του λογικού «1» το κύκλωμα μεταφέρεται σε μια αρχική κατάσταση. Συνδέεται απευθείας σε έναν από τους διακόπτες της αναπτυξιακής μονάδας έτσι ώστε να μπορεί ο χρήστης να θέσει οποιαδήποτε στιγμή εκτός λειτουργίας την οθόνη.

Error! Use the Home tab to apply Επικεφαλίδα 2 to the text that you want to appear here.

Error! Use the Home tab to apply Επικεφαλίδα 1

to the text that you want to appear here.



Εικόνα 23 : Μπλοκ διάγραμμα της εφαρμογής

- **Χρωματική πληροφορία** : Η είσοδος της χρωματικής πληροφορίας είναι εύρους 24-bit (8-bit πληροφορίας για κάθε χρώμα) και μέσω αυτής της εισόδου μεταφέρεται η πληροφορία της εικόνας που θα απεικονίσουμε στην οθόνη. Συνήθως σε τέτοιες εφαρμογές η είσοδος αυτή συνδέεται σε μια μνήμη από την οποία λαμβάνει την πληροφορία της εικόνας ανά pixel. Πιο συγκεκριμένα στη δεύτερη εφαρμογή αυτής της πτυχιακής που θα παρουσιαστεί σε επόμενη παράγραφο θα δημιουργηθεί μια ROM στο FPGA στην οποία θα αποθηκευτεί μια εικόνα διαστάσεων 320x320 pixel και θα σχεδιαστεί το αντίστοιχο κύκλωμα που θα επιτρέπει τον ελεγκτή VGA να διαβάζει την εικόνα. Στην εφαρμογή αυτή απλά θα γίνει μια επίδειξη της σωστής λειτουργίας του VGA controller και των δυνατοτήτων της επέκτασης VGA να απεικονίσει 24-bit πληροφορία. Αυτό θα επιτευχθεί συνδέοντας τρεις μετρητές (0-255) έναν για κάθε χρώμα στη είσοδο χρωματικής πληροφορίας.
- **Είσοδος σήματος χρονισμού (50MHz)** : Η αναπτυξιακή μονάδα διαθέτει έναν κρυσταλλικό ταλαντωτή 50MHz ο οποίος παρέχει με σήμα χρονισμού το κύκλωμα.

Στο μπλοκ διάγραμμα της εικόνας 23 βλέπουμε ότι υπάρχουν και έξι έξοδοι. Αυτές είναι :

- **Σήματα συγχρονισμού** : Τα σήματα Vsync και Hsync είναι τα σήματα συγχρονισμού και είναι υπεύθυνα για τη σωστή λειτουργία της οθόνης. Συνδέονται απευθείας στη θύρα VGA που βρίσκεται στην κατασκευή που σχεδιάστηκε για την επέκταση της μονάδας. Τα δυο σήματα αυτά είναι εύρους 1-bit.
- **Σήματα χρώματος** : Τα σήματα αυτά μεταφέρουν τη ψηφιακή χρωματική πληροφορία η οποία είναι 8-bit για κάθε χρώμα. Αυτό σημαίνει ότι κάθε χρώμα έχει τη δυνατότητα να πάρει 256 καταστάσεις φωτεινότητας στην οθόνη. Οι έξοδοι αυτές συνδέονται μέσω της θύρας FX2 στις εισόδους του D/A μετατροπέα.

- **D/A Clock:** Η έξοδος αυτή είναι ίδια με τη συχνότητα οριζόντιας σάρωσης και είναι απαραίτητη ώστε να τροφοδοτήσει με σήμα χρονισμού το μετατροπέα D/A. Συνδέεται μέσω ενός buffer στην είσοδο CLOCK του ADV7125.

2.2. Digital Clock Manager

Η ανάλυση στην οποία θα δουλέψουμε είναι η 640x480 με ρυθμό ανανέωσης τα 60Hz. Όπως έχουμε δει για μια τέτοια ανάλυση η συχνότητα σάρωσης θα πρέπει να είναι 25.175MHz. Θα πρέπει λοιπόν με κάποιο τρόπο να υποβιβάσουμε τη συχνότητα του κρυσταλλικού ταλαντωτή ώστε να τροφοδοτήσουμε το κύκλωμα με την σωστή συχνότητα. Για το σκοπό αυτό όπως έχουμε είδη αναφέρει υπάρχουν ειδικά κυκλώματα στο εσωτερικό των FPGAs που είναι υπεύθυνα για τη διαχείριση του εισερχόμενου σήματος ρολογιού και ονομάζονται DCMs. Τα DCMs επιτρέπουν τη λειτουργία της σύνθεσης μιας νέας συχνότητας από μια άλλη και αυτή η λειτουργία είναι που θα χρησιμοποιηθεί στις εφαρμογές της πτυχιακής.

Τα DCMs είναι έτοιμες μονάδες HARDWARE και το αποτέλεσμα της λειτουργίας τους εξαρτάται αποκλειστικά από τον τρόπο σύνδεσης των εισόδων και των εξόδων που διαθέτουν. Το πακέτο σχεδίασης της Xilinx ISE 10.1 έχει ένα πολύ εύχρηστο γραφικό περιβάλλον που επιτρέπει στο χρήστη με κάποιες επιλογές να μπορεί να μεταβάλει τον τρόπο σύνδεσης αυτών των εισόδων και εξόδων σύμφωνα με τις ανάγκες της εφαρμογής. Μετά το τέλος των επιλογών από το γραφικό περιβάλλον παράγονται δύο αρχεία με κώδικα VHDL. Το ένα αρχείο περιέχει τον κώδικα με όλες τις συνδέσεις και τις επιλογές που κάναμε για τον DCM. Αυτό το αρχείο ονομάζεται HDL source και έχουμε τη δυνατότητα να το τροποποιήσουμε περαιτέρω αν θέλουμε με τη χρήση VHDL. Ο παρακάτω κώδικας είναι από το παραγόμενο αρχείο HDL source για την εφαρμογή μας. Στην entity διακρίνουμε την είσοδο *CLKIN_IN* του σήματος χρονισμού από τον κρυσταλλικό ταλαντωτή. Η έξοδος *CLKFX_OUT* είναι η παραγόμενη επιθυμητή συχνότητα των 25MHz η οποία θα τροφοδοτήσει όλα τα υπόλοιπα μέρη του κυκλώματος όπως φαίνεται και στην εικόνα 23. Πολύ σημαντικές είναι οι μεταβλητές *CLKFX_MULTIPLY* και *CLKFX_DIVIDE*. Η εισερχόμενη συχνότητα των 50MHz πολλαπλασιάζεται με την τιμή 2 και διαιρείται με την τιμή 4. Ισχύει δηλαδή η σχέση :

$$= \quad \times \frac{-}{-}$$

-----HDL SOURCE-----

```
entity clk_m is
  port ( CLKIN_IN      : in   std_logic;
         CLKFX_OUT     : out  std_logic;
         CLKIN_IBUFG_OUT : out std_logic);
end clk_m;

architecture BEHAVIORAL of clk_m is
  signal CLKFX_BUF      : std_logic;
  signal CLKIN_IBUFG    : std_logic;
  signal GND_BIT        : std_logic;
begin
  GND_BIT <= '0';
  CLKIN_IBUFG_OUT <= CLKIN_IBUFG;
  CLKFX_BUF_INST : BUFG
    port map (I=>CLKFX_BUF,
              O=>CLKFX_OUT);

  CLKIN_IBUFG_INST : IBUFG
    port map (I=>CLKIN_IN,
              O=>CLKIN_IBUFG);

  DCM_SP_INST : DCM_SP
  generic map( CLK_FEEDBACK => "NONE" ,
               CLKDV_DIVIDE => 2.0 ,
               CLKFX_DIVIDE => 4 ,
               CLKFX_MULTIPLY => 2 ,
               CLKIN_DIVIDE_BY_2 => FALSE ,
               CLKIN_PERIOD => 20.000 ,
               CLKOUT_PHASE_SHIFT => "NONE" ,
               DESKEW_ADJUST => "SYSTEM_SYNCHRONOUS" ,
               DFS_FREQUENCY_MODE => "LOW" ,
               DLL_FREQUENCY_MODE => "LOW" ,
               DUTY_CYCLE_CORRECTION => TRUE ,
               FACTORY_JF => x"C080" ,
               PHASE_SHIFT => 0 ,
               STARTUP_WAIT => FALSE)
  port map (CLKFB=>GND_BIT ,
            CLKIN=>CLKIN_IBUFG ,
            DSEN=>GND_BIT ,
            PCLK=>GND_BIT ,
            PSEN=>GND_BIT ,
            PSINCDEC=>GND_BIT ,
            RST=>GND_BIT ,
            CLKDV=>open ,
            CLKFX=>CLKFX_BUF ,
            CLKFX180=>open ,
            CLK0=>open ,
            CLK2X=>open ,
            CLK2X180=>open ,
            CLK90=>open ,
            CLK180=>open ,
```

```
CLK270=>open ,  
LOCKED=>open ,  
PSDONE=>open ,  
STATUS=>open ) ;
```

```
end BEHAVIORAL ;
```

-----HDL SOURCE-----

Η αλλαγή των τιμών αυτών των μεταβλητών μπορεί να δημιουργήσει οποιαδήποτε συχνότητα η οποία βρίσκεται μέσα στα όρια που ορίζει ο κατασκευαστής. Το σήμα *CLK_FEEDBACK* παίρνει την τιμή *NONE* γιατί όπως έχει αναφερθεί για τη διαδικασία της σύνθεσης συχνότητας δεν χρειάζεται καμίας μορφή ανάδραση. Υπάρχουν κάποια σήματα ακόμα που δε χρησιμοποιούνται και πρέπει να μείνουν ασύνδετα και δηλώνονται ως *open* ενώ κάποια άλλα πρέπει να γειωθούν και δηλώνονται ως *GND_BIT*. Τέλος το σήμα *CLKIN_PERIOD* είναι η περίοδος του εισερχόμενου σήματος σε pico seconds και έχει την τιμή 20000.

Το δεύτερο αρχείο που παράγεται περιέχει τις προσθήκες που πρέπει να κάνουμε στον κυρίως κώδικα της εφαρμογής μας και ονομάζεται HDL Instantiation template. Δηλώνουμε στην Architecture ως component τις εισόδους και εξόδους του DCM με τον τρόπο που φαίνεται παρακάτω.

```
COMPONENT clk_m  
PORT (  
    CLKIN_IN : IN std_logic;  
    CLKFX_OUT : OUT std_logic;  
    CLKIN_IBUFG_OUT : OUT std_logic  
);  
END COMPONENT;
```

Στην συνέχεια συνδέουμε τα παρακάτω σήματα με αυτά που θέλουμε στον κυρίως κώδικα της εφαρμογής.

```
Inst_clk_m: clk_m PORT MAP (  
    CLKIN_IN => ,  
    CLKFX_OUT => ,  
    CLKIN_IBUFG_OUT =>  
);
```

2.3. Μετρητής pixel

Η συχνότητα των 25MHz που παράγεται από τον DCM χρησιμοποιείται για το χρονισμό όλων των μονάδων (Blocks) του κυκλώματος. Μια από αυτές είναι και ο μετρητής pixel. Μετά την εφαρμογή της τροφοδοσίας και με την άφιξη του θετικού μετώπου του παλμού και τη βασική προϋπόθεση ότι το reset είναι σε κατάσταση λογικού «0» αρχίζει να λειτουργεί ο μετρητής και να μετράει μέχρι και την τιμή 799 (0-799). Ο λόγος είναι ότι για τη σάρωση μιας πλήρους γραμμής της οθόνης απαιτείται χρόνος που ισοδυναμεί με τη σάρωση 800 pixel. Η τιμή του μετρητή μέσω του σήματος *hcount* στέλνεται σε οποιαδήποτε άλλη μονάδα είναι απαραίτητο και η τιμή της είναι πολύ σημαντική γιατί δείχνει κάθε στιγμή το σημείο όπου βρίσκεται η οριζόντια σάρωση.

```
process (clk_25)
begin
  if (clk_25'event and clk_25 = '1') then
    if reset = '1' then
      hcount <= 0;
    elsif (hcount = whole_line) then
      hcount <= 0;
    else
      hcount <= hcount + 1;
    end if;
  end if;
end process;
```

2.4. Μετρητής γραμμών

Ο μετρητής γραμμών, όπως γίνεται φανερό και από το όνομα του, μετράει τις γραμμές της οθόνης και η τιμή της μέτρησης δείχνει το σημείο όπου βρίσκεται κάθε στιγμή η κάθετη σάρωση. Υπάρχει μια ουσιαστική διαφορά αυτού του μετρητή από το μετρητή pixel. Ο μετρητής αυτός για να αυξηθεί δεν αρκείται μόνο στο θετικό μέτωπο του εισερχόμενου σήματος χρονισμού αλλά θα πρέπει να υπάρχει και υπερχειλίση του μετρητή pixel. Αυτό πρακτικά σημαίνει ότι ο μετρητής δε μετράει κατά τη διάρκεια της οριζόντιας σάρωσής αλλά μόνο όταν τελειώσει η σάρωση μιας οριζόντιας γραμμής.

```
process (clk_25)
begin
  if (clk_25'event and clk_25 = '1') then
    if reset = '1' then
      vcount <= 0;
    elsif (hcount = whole_line) then
      if (vcount = whole_frame) then
        vcount <= 0;
      else
        vcount <= vcount + 1;
      end if;
    end if;
  end if;
end process;
```

```
        end if;  
    end if;  
end if;  
end process;
```

Θα πρέπει λοιπόν μέσω του σήματος *hcount* ο μετρητής γραμμών να ενημερώνεται συνεχώς για την κατάσταση στην οποία βρίσκεται η οριζόντια σάρωση και σύμφωνα με αυτήν να λειτουργεί. Στο διάγραμμα της εικόνας 23 βλέπουμε πως συνδέονται αυτοί οι δυο μετρητές και το σήμα *hcount* που τους συνδέει μεταξύ τους. Ο μετρητής αυτός μετράει μέχρι και την τιμή 523 (0 - 523) καθώς για να έχουμε την πλήρη σάρωση μιας εικόνας (full frame) απαιτείται χρόνος ίσος με τη σάρωση 524 γραμμών. Ο πίνακας στη σελίδα 18 περιέχει τους χρόνους οριζόντιας και κάθετης σάρωσης.

2.5. Γεννήτριες συγχρονιστικών παλμών

Οι μετρητές που αναφέραμε αποτελούν πολύ σημαντικό κομμάτι του ελεγκτή VGA γιατί λειτουργούν ως αναφορά για όλο το υπόλοιπο κύκλωμα. Οι τιμές των σημάτων *hcount* και *vcount* προσδιορίζουν κάθε στιγμή την κατάσταση της οριζόντιας και κάθετης σάρωσης.

```
process (clk_25)  
begin  
    if (clk_25'event and clk_25 = '1') then  
        if (hcount = H_sync_pulse) then  
            hsync <= '1';  
        end if;  
        if (hcount = whole_line) then  
            hsync <= '0';  
        end if;  
    end if;  
end process;  
  
process (clk_25)  
begin  
    if (clk_25'event and clk_25 = '1') then  
        if (vcount = V_sync_pulse) then  
            vsync <= '1';  
        end if;  
        if (vcount = whole_frame) then  
            vsync <= '0';  
        end if;  
    end if;  
end process;
```

Η οθόνη όμως για να μπορέσει να λειτουργήσει θα πρέπει να υπάρχουν τα σήματα οριζόντιου και κάθετου συγχρονισμού. Τα σήματα αυτά παράγονται από τις γεννήτριες σημάτων συγχρονισμού. Οι γεννήτριες αυτές λαμβάνουν τα σήματα *hcount* και *vcunt* και ανάλογα με την κατάσταση της οριζόντιας και κάθετης σάρωσης αντίστοιχα παράγουν τον συγχρονιστικό παλμό την κατάλληλη χρονική στιγμή. Οι συγχρονιστικοί παλμοί είναι αρνητικοί που σημαίνει ότι τα σήματα *vsync* και *hsync* είναι κανονικά σε κατάσταση λογικού «1». Όταν τελειώνει η σάρωση μιας γραμμής τότε το σήμα οριζόντιου συγχρονισμού μεταβαίνει σε λογικό «0». Αυτό το λογικό «0» δηλώνει την ύπαρξη του οριζόντιου συγχρονιστικού παλμού και σημαίνει την έναρξη μιας καινούργιας γραμμής και την αρχή της σάρωσης της. Ομοίως τα ίδια ισχύουν και το για το σήμα κάθετου συγχρονισμού με τη διαφορά ότι εδώ ο παλμός συγχρονισμού δηλώνει το τέλος μιας εικόνας και την έναρξη μιας καινούργιας.

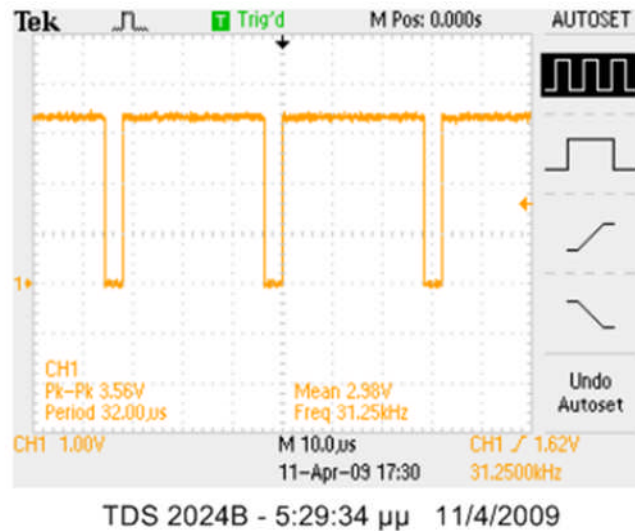
2.5.1. Μετρήσεις

Για την επιβεβαίωση των θεωρητικών υπολογισμών που συνοψίζονται στον πίνακα της σελίδας 18 πάρθηκαν κάποιες μετρήσεις που αποδεικνύουν την ορθότητα του κυκλώματος. Στην εικόνα 24 φαίνεται το αποτέλεσμα της μέτρησης του σήματος οριζόντιου συγχρονισμού. Συμφωνα με τους θεωρητικούς υπολογισμούς μια περίοδος του θα πρέπει να είχε διάρκεια 31.77us. Στην μετρούμενη κυματομορφή μια περίοδος είναι 32us. Έτσι εύκολα μπορούμε να υπολογίσουμε τη συχνότητα του σήματος οριζόντιου συγχρονισμού που είναι 31.25KHz.

Error! Use the Home tab to apply Επισκεφαλίδα 2 to the text that you want to appear here.

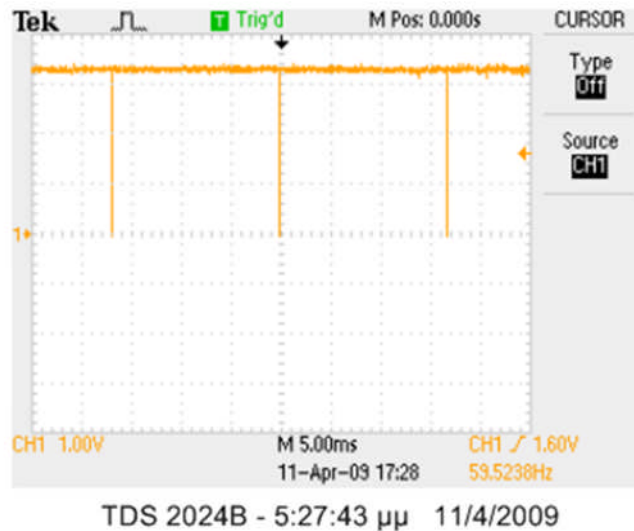
Error! Use the Home tab to apply Επισκεφαλίδα 1

to the text that you want to appear here.



Εικόνα 24 : Παλμοί οριζόντιου συγχρονισμού

Στην εικόνα 25 φαίνονται τα αποτελέσματα από τις μετρήσεις του σήματος κάθετου συγχρονισμού. Οι θεωρητικοί υπολογισμοί προβλέπουν ότι μια περίοδος έχει διάρκεια 16.65ms. Οι μετρήσεις δείχνουν ότι η τιμή της περιόδου στην πράξη είναι 16.8ms και η συχνότητα της 59.52Hz. Η τιμή αυτή των 59.52Hz αποτελεί και τον ρυθμό ανανέωσης της οθόνης ο οποίος έχει μια μικρή απόκλιση από την θεωρητική που είχε αποφασιστεί να είναι 60Hz. Ο λόγος που παρατηρούμε μια μικρή απόκλιση στις μετρούμενες τιμές από τις θεωρητικές οφείλεται στο ότι η συχνότητα σάρωσης είναι 25MHz ενώ αντίθετα η θεωρητική είναι 25.175MHz. Αυτό οφείλεται σε αδυναμία του κυκλώματος διαχείρισης ρολογιού να παράγει συχνότητα με τέτοια ακρίβεια όταν έχει ως είσοδο υψηλή συχνότητα.



Εικόνα 25 : Παλμοί κάθετου συγχρονισμού

2.6. Ένδειξη σάρωσης ορατής περιοχής

Η ένδειξη σάρωσης ορατής περιοχής είναι ένα κομμάτι του κυκλώματος που έχει ως σκοπό να εντοπίζει τα χρονικά διαστήματα στα οποία η σάρωση είναι εντός ορατής περιοχής. Η σάρωση μιας γραμμής απαιτεί χρόνο ίσο με τη σάρωση 800 στηλών ενώ η σάρωση μιας στήλης απαιτεί χρόνο ίσο με τη σάρωση 524 γραμμών. Η ορατή περιοχή όμως είναι μικρότερη καθώς αποτελείται από 640 στήλες και 480 γραμμές. Συνεπώς υπάρχουν περιοχές κατά τη σάρωση όπου δε μεταφέρεται χρωματική πληροφορία στην οθόνη. Για να γνωρίζει το υπόλοιπο κύκλωμα πότε η σάρωση είναι εντός ορατής περιοχής υπάρχει το κύκλωμα της ένδειξης σάρωσης ορατής περιοχής που παράγει ένα σήμα enable για το σκοπό αυτό. Το κύκλωμα αυτό για να πετύχει τη λειτουργία αυτή πρέπει να γνωρίζει κάθε στιγμή την κατάσταση των σημάτων *hcount* και *vcoun*t. Όταν η σάρωση είναι εκτός ορατής περιοχής το σήμα αυτό είναι σε λογικό «0».

2.7. Μεταφορά της χρωματικής πληροφορίας

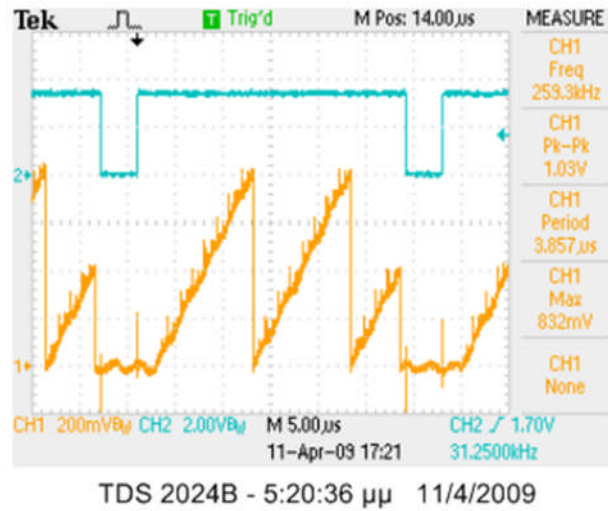
Το τελευταίο κύκλωμα πριν την έξοδο της χρωματική πληροφορίας και των σημάτων συγχρονισμού είναι το κύκλωμα μεταφοράς της χρωματικής πληροφορίας. Το κύκλωμα αυτό λαμβάνει την πληροφορία του χρώματος ανα pixel και συμφωνά πάντα με την κατάσταση του σήματος enable την στέλνει στον D/A μετατροπέα.

```
process (clk_25, reset)
begin
  if reset = '1' then
    R    <= (others => '0');
    G    <= (others => '0');
    B    <= (others => '0');
  elsif (clk_25'event and clk_25 = '1') then
    if Enable = '1' then
      if col < 639 then
        R    <= (others => '0');
        G    <= G + 1;
        B    <= (others => '0');
      else
        R    <= (others => '0');
        G    <= (others => '0');
        B    <= (others => '0');
      end if;
    else
      R    <= (others => '0');
      G    <= (others => '0');
      B    <= (others => '0');
    end if;
  end if;
end process;
```

Όταν το σήμα enable είναι σε κατάσταση λογικού «0» τότε η πληροφορία του χρώματος δεν περνάει στον D/A μετατροπέα. Στην εφαρμογή αυτή ως χρωματική πληροφορία θα έχουμε την είσοδο ενός “μετρητή” ο οποίος θα αυξάνει με κάθε θετικό μέτωπο του σήματος χρονισμού των 25MHz. Σκοπός αυτού είναι να μπορέσουμε να δούμε όλες τις δυνατές αποχρώσεις του πράσινου χρώματος οι οποίες είναι 256 γιατί η χρωματική πληροφορία για κάθε χρώμα είναι 8 bit. Στην εικόνα 26 βλέπουμε το αποτέλεσμα από τις μετρήσεις που έγιναν στην αναλογική τάση του πράσινου χρώματος σε συνδυασμό με δυο διαδοχικούς οριζόντιους συγχρονιστικούς παλμούς. Παρατηρούμε ότι στο διάστημα των 640 pixel έχουμε 2.5 φορές τη διαβάθμιση του πράσινου που αποτυπώνεται ως μια πριονωτή κυματομορφή. Αυτό είναι λογικό γιατί $2.5 \times 256 = 640$. Επίσης φαίνεται η διαφορά στα επίπεδα των τάσεων μεταξύ των black level και white level.

Error! Use the Home tab to apply Επισκεφαλίδα 2 to the text that you want to appear here.

Error! Use the Home tab to apply Επισκεφαλίδα 1 to the text that you want to appear here.



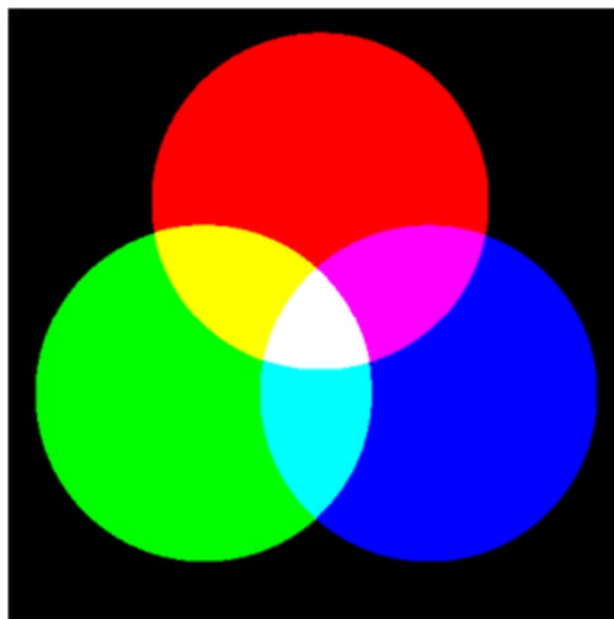
Εικόνα 26 : Μέτρηση της κυματομορφής του πράσινου.

3. Εφαρμογή - Απεικόνιση μιας εικόνας

Στην προηγούμενη εφαρμογή έγινε περιγραφή του τρόπου λειτουργίας του ελεγκτή VGA. Σε αυτήν την εφαρμογή θα χρησιμοποιηθεί ο συγκεκριμένος ελεγκτής έτσι ώστε να μπορέσουμε να απεικονίσουμε μια εικόνα στην οθόνη και με αυτόν τον τρόπο θα γίνει πιο εμφανής η χρησιμότητα του. Στην εικόνα 28 βλέπουμε το μπλοκ διάγραμμα της εφαρμογής αυτής. Το block του ελεγκτή VGA είναι ίδιο με αυτό του ελεγκτή που έχει ήδη περιγραφεί. Εκτός αυτού βλέπουμε δύο νέα τμήματα τα οποία χρησιμοποιούνται. Αυτά είναι η μνήμη ROM και το κύκλωμα ανάγνωσης της. Η ROM είναι απαραίτητη για την αποθήκευση της εικόνας και θα περιέχει την χρωματική πληροφορία για κάθε pixel αυτής.

3.1. Μνήμη ROM

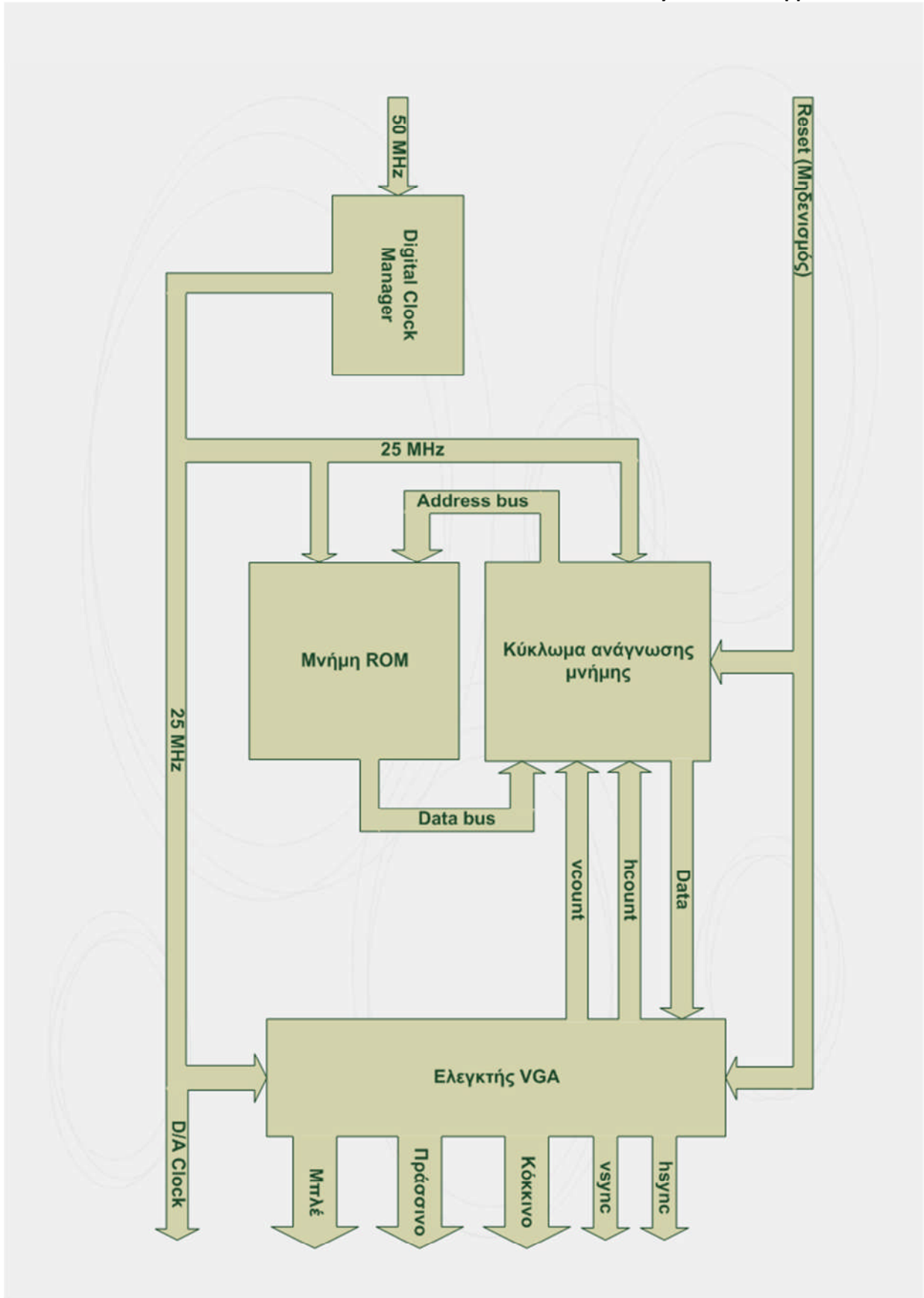
Η σειρά SPARTAN-3E της Xilinx έχει εσωτερικά κυκλώματα τα οποία δεσμεύονται να χρησιμοποιηθούν για αποθήκευση δεδομένων. Τα κυκλώματα αυτά λέγονται Block RAMS και το XC3S500-3E έχει 20 από αυτά. Συνολικά και τα 20 σχηματίζουν μια μνήμη συνολικού μεγέθους 368640 bits. Όπως είναι προφανές αυτή η μνήμη είναι σχετικά μικρή για να χρησιμοποιηθεί σαν κύριο μέσο αποθήκευσης. Ο βασικός λόγος χρήσης της είναι για προσωρινή αποθήκευση μικρού όγκου δεδομένων που μεταβάλλονται συχνά.



Εικόνα 27 : Η εικόνα που θα απεικονιστεί στην οθόνη

Error! Use the Home tab to apply Επισκεφαλίδα 2 to the text that you want to appear here.

Error! Use the Home tab to apply Επισκεφαλίδα 1 to the text that you want to appear here.



Εικόνα 28 : Μπλοκ διάγραμμα κυκλώματος απεικόνισης μιας εικόνας

Έχει το μεγάλο πλεονέκτημα ότι μπορεί λειτουργεί κάτω από υψηλές συχνότητες και για αυτό χρησιμοποιείται συνήθως σαν buffer ανάμεσα σε δίαυλους μεταφοράς δεδομένων. Η εικόνα 27 είναι η εικόνα που θα απεικονίσουμε στην οθόνη. Είναι μια εικόνα 3-bit χρωματικής πληροφορίας και έχει διαστάσεις 322x322 pixel. Ο λόγος για το μικρό μέγεθος της είναι για να μπορέσει να χωρέσει στην μνήμη του FPGA που είναι 360Kbits. Έτσι έχουμε :

$$(322 \times 322) \times 3 = 311052$$

Υπολογίζουμε ότι αυτή η εικόνα καταλαμβάνει 311052 bits στη μνήμη συνεπώς μπορεί να αποθηκευτεί χωρίς πρόβλημα. Η αρχική μορφή της εικόνας είναι μορφής bmp. Για να μπορέσουμε να την αποθηκεύσουμε στην μνήμη του FPGA θα πρέπει πρώτα να την μετατρέψουμε με το MATLAB σε αρχείο της μορφής .coe που περιλαμβάνει για κάθε pixel της χρωματικές συνιστώσες (coefficients) για το κόκκινο, πράσινο και μπλε. Το MATLAB έχει ειδικές εντολές όπως την imread που επιτρέπουν την ανάγνωση μιας εικόνας bmp και την ανάλυση της. Έτσι λοιπόν αν η εικόνα έχει 103684 pixel τότε το MATLAB θα αντιστοιχίσει για κάθε ένα από αυτά τα pixel έναν αριθμό 3-bit που δηλώνει την φωτεινότητα για τα τρία βασικά χρώματα. Παρακάτω φαίνεται ένα παράδειγμα που δείχνει ότι τα πρώτα 7 pixel μιας εικόνα θα είναι μαύρα στην οθόνη.

```
memory_initialization_radix=2;
memory_initialization_vector=
000,
000,
000,
000,
000,
000,
000,
000,
```

Το πακέτο της Xilinx ISE 10.1 όπως για τους DCMs έτσι και για τις Block RAMS έχει ένα γραφικό περιβάλλον που επιτρέπει το χρήστη με τις απαραίτητες επιλογές να μπορεί να ορίσει την μνήμη με τα χαρακτηριστικά που θέλει. Συγκεκριμένα στη δικιά μας εφαρμογή επιλέγουμε την μνήμη να έχει 103684 θέσεις μνήμης και κάθε μια θέση από αυτές εύρος 3bit. Αυτό σημαίνει ότι σε κάθε θέση θα αντιστοιχεί και η χρωματική πληροφορία για ένα pixel ενώ όλες οι θέσεις είναι όσες και ο αριθμός των pixel της εικόνας. Με την χρήση

αυτού του γραφικού περιβάλλοντος μπορούμε να φορτώσουμε αυτό το αρχείο με τις χρωματικές συνιστώσες που έχουμε δημιουργήσει με το MATLAB ενώ δεν έχουμε την δυνατότητα να το αλλάξουμε κατά την διάρκεια λειτουργίας του κυκλώματος. Η μνήμη μας δηλαδή αν και αποτελείται από RAM Blocks εμείς δημιουργούμε μια ROM. Όπως βλέπουμε και στο διάγραμμα της εικόνας 28 η μνήμη δέχεται ως είσοδο ένα σήμα address που δηλώνει τη διεύθυνση της οποίας τα δεδομένα θα πρέπει να ανακτηθούν. Η έξοδος data είναι αυτή στην οποία εμφανίζονται τα αντίστοιχα δεδομένα που ζητήθηκαν μέσω της εισόδου address. Η είσοδος address και η έξοδος data λειτουργούν κάτω από το ίδιο σήμα χρονισμού έτσι ώστε να υπάρχει απόλυτος συγχρονισμός μεταξύ τους.

3.2. Κύκλωμα ανάγνωσης μνήμης

Το κύκλωμα ανάγνωσης μνήμης έχει ως ρόλο να στέλνει κάθε φορά στη μνήμη τη διεύθυνση από την οποία θα ανακτηθεί η πληροφορία και να λαμβάνει στην συνέχεια τα δεδομένα ώστε να τα στείλει στον ελεγκτή.

Το σήμα διεύθυνσης address παράγεται από ένα μετρητή που λειτουργεί μόνον όταν η σάρωση είναι εντός της ορατή περιοχής και η τιμές που παίρνει ο μετρητής είναι όσες και τα pixel της εικόνας. Πιο συγκεκριμένα ο μετρητής αυξάνει από το (0 – 103683).

```
process (clk)
begin
  if reset = '1' then
    address <= (others => '0');
  elsif clk'event and clk = '1' then
    if enable = '1' then
      if address = 103683 then
        address <= (others => '0');
      else
        address <= address + 1;
      end if;
    end if;
  end if;
end process;
```

Για να μπορέσει να καταλάβει το κύκλωμα πότε η σάρωση είναι στην ορατή περιοχή λαμβάνει από τον ελεγκτή VGA τα σήματα hcount και vcount όπως φαίνεται και στο μπλοκ διάγραμμα της εικόνας 28. Στην προηγούμενη εφαρμογή είδαμε ότι και στον ελεγκτή VGA παράγεται ένα σήμα enable για να καταλαβαίνει το κύκλωμα τη σάρωση εντός ορατής

Error! Use the Home tab to apply Επικεφαλίδα 2 to the text that you want to appear here.

Error! Use the Home tab to apply Επικεφαλίδα 1

to the text that you want to appear here.

περιοχής. Ο λόγος όμως που το κύκλωμα ανάγνωσης μνήμης δεν παίρνει το σήμα enable από τον ελεγκτή VGA είναι ότι η εικόνα στην περίπτωση μας είναι μικρότερη από τις διαστάσεις της ορατής περιοχής. Έτσι εάν έπαιρνε το enable από τον ελεγκτή τότε ο μετρητής θα μετρούσε και εκτός των διαστάσεων της εικόνας. Για το λόγο αυτό καθορίζουμε ένα πλαίσιο 322x322 pixel εντός της ορατής περιοχής έτσι ώστε μόνο μέσα σε αυτό να λειτουργεί ο μετρητής των διευθύνσεων. Αυτό σημαίνει ότι υπάρχει και ένα άλλο κύκλωμα στο εσωτερικό του κυκλώματος ανάγνωσης μνήμης που θέτει το enable σε λογικό «1» μόνο όταν η σάρωση είναι εντός αυτού του πλαισίου.

Όταν το κύκλωμα ανάγνωσης μνήμης λαμβάνει την χρωματική πληροφορία από την μνήμη αναλαμβάνει να την στείλει στον ελεγκτή VGA μέσω της εισόδου χρωματικής πληροφορίας που είχαμε δει στην πρώτη εφαρμογή. Στο σημείο αυτό παίζει επίσης ρόλο το σήμα enable που είδαμε πριν. Έτσι η πληροφορία μεταφέρεται ακριβώς μέσα στο πλαίσιο των 322x322 pixel. Σε κάθε άλλο σημείο της οθόνης εμφανίζεται μαύρο.

```
process (clk)
begin
  if clk'event and clk = '1' then
    if enable = '1' then
      vga_out <= vga_in;
    else
      vga_out <= (others => '0');
    end if;
  end if;
end process;
```


Βιβλιογραφία

Analog Devices, Datasheet : ADV7125 Triple 8-Bit High Speed Video DAC

Analog Devices, Application note AN-205 : Video formats and required load terminations

Analog Devices, Application note AN-214 : Ground rules for high speed circuits

Xilinx, Datasheet : SPARTAN-3E FPGA Family Complete Datasheet

Xilinx, Application note XAPP462 : Using Digital Clock Managers in SPARTAN-3 FPGAs

Xilinx, Application note XAPP463 : Using Block RAM in SPARTAN-3 generation FPGAs

Π. Βαφειάδης : Αναλογική – Ψηφιακή Τηλεόραση και Βίντεο

Digilent, User's Guide : SPARTAN-3E Starter Kit

Internet

<http://tinyvga.com/vga-timing/640x480@60Hz> [18/ 11/2008]

<http://www.vesa.org/> [12/12/2008]

<http://www.tftdisplay.org/> [2/3/2009]

http://www.lctecdisplays.com/TN-LCD_technology.asp [4/3/2009]

